

UNIVERSIDAD CARLOS III DE MADRID
ESCUELA POLITÉCNICA SUPERIOR



GRADO EN INGENIERÍA DE SISTEMAS DE COMUNICACIONES
PROYECTO FIN DE GRADO

DESARROLLO DE UN SISTEMA DE COMUNICACIONES
INALÁMBRICO PARA CONEXIÓN DE DISPOSITIVOS VÍA USB

AUTOR: Yuliy Moreno Sanoyan

TUTOR: Harold Yesid Molina Bulla

AGRADECIMIENTOS:

He de expresar mis más profundos y sinceros agradecimientos a:

A mi madre y mi padre por haberme apoyado durante todos estos años de la carrera.

A mis amigos por haber estado atentos a mis adelantos en cuanto al presente proyecto.

A mis compañeros de clase por toda la buena energía que me han hecho llegar en los momentos difíciles.

A mi tutor Harold por haberme prestado toda su atención y apoyo en este trabajo e incluso más allá de él.

A todos los profesores que he tenido durante estos años, por los conocimientos que me han transferido.

A los profesores del campus de Getafe, donde he estado de becario durante todo el tiempo de realización de este trabajo, por la enorme ayuda que me han prestado.

Y, finalmente, al señor Heinrich Hertz, por haber descubierto las primeras formas de producir y detectar las ondas electromagnéticas.

Dedico esta memoria a Álvaro, Javi, Nacho, Mike, Arturo M.V. y Aines.

4 8 15 16 23 42

Índice de contenido

ÍNDICE DE FIGURAS	5
ÍNDICE DE TABLAS Y GRÁFICAS	7
TABLAS	7
GRÁFICAS	7
ABSTRACT	8
CAPÍTULO I: PLANTEAMIENTO DEL PROBLEMA	13
1.1 INTRODUCCIÓN AL PROYECTO Y OBJETIVOS	13
1.1.1 Introducción	13
1.1.2 Objetivo general	13
1.1.3 Objetivos específicos	13
1.2 ESTADO DEL ARTE	13
1.2.1 Introducción a la tecnología USB	13
1.2.2 Evolución del protocolo USB	15
1.2.2.1 El USB 1.0	15
1.2.2.2 El USB 1.1	15
1.2.2.3 El USB 2.0	15
1.2.2.4 El USB OTG	15
1.2.2.5 El USB 3.0 Y EL USB 3.1	16
1.2.2.6 El USB inalámbrico	16
1.2.3 Arquitectura genérica del bus USB	17
1.2.4 Tipos de dispositivos USB	18
1.2.5 Modelo lógico funcional del interfaz USB	19
1.2.6 Tipos de paquetes del protocolo USB	21
1.2.7 Modos de transferencia de datos	22
1.2.7.1 Modo asíncrono	22
1.2.7.2 Modo síncrono	23
1.2.7.3 Modo isócrono	23
1.2.7.4 Modo bulk (ráfaga)	23
1.2.7.5 Transferencias de control	23
1.2.7.6 Transferencias de interrupción	23
1.2.8 Interfaz eléctrico del bus USB	24
CAPÍTULO II: PLANTEAMIENTO DE LA SOLUCIÓN	29
2.1 DESCRIPCIÓN GENERAL DEL SISTEMA	29
2.2 DESCRIPCIÓN DE LOS BLOQUES FUNCIONALES	30

2.2.1 Transceptor remoto	30
2.2.2 Transceptor local	30
CAPÍTULO III: IMPLEMENTACIÓN DE LA SOLUCIÓN	32
3.1 TRANSCEPTOR LOCAL	32
3.1.1 MÓDULO DE LA SEÑAL PILOTO.....	32
3.1.1.1 Circuito selector de velocidad	32
3.1.1.2 Circuito demodulador de la señal piloto.....	34
3.1.2 MÓDULO DE TRANSMISIÓN DE DATOS	34
3.1.2.1 Circuito conversor de señal diferencial a ‘single-ended’	34
3.1.2.2 Circuito modulador	35
3.1.3 MÓDULO DE RECEPCIÓN DE DATOS	37
3.1.3.1 Circuito demodulador.....	37
3.1.3.2 Circuito conversor de señal ‘single-ended’ a diferencial	39
3.1.4 MÓDULO DE CONMUTACIÓN	40
3.1.4.1 Circuito conmutador.....	40
3.1.4.2 Circuito activador del conmutador	41
3.1.5 MÓDULO RF	41
3.2 TRANSCEPTOR REMOTO.....	42
3.2.1 MÓDULO DE LA SEÑAL PILOTO.....	42
3.2.1.1 Circuito detector de velocidad.....	42
3.2.1.2 Circuito modulador de la señal piloto	42
3.2.2 MÓDULO DE TRANSMISIÓN DE DATOS	43
3.2.2.1 Circuito conversor de señal diferencial a ‘single-ended’	43
3.2.2.2 Circuito modulador	43
3.2.3 MÓDULO DE RECEPCIÓN DE DATOS	44
3.2.3.1 Circuito demodulador.....	44
3.2.3.2 Circuito conversor de señal ‘single-ended’ a diferencial	44
3.2.4 MÓDULO DE CONMUTACIÓN	45
3.2.4.1 Circuito conmutador.....	45
3.2.4.2 Circuito activador del conmutador	45
3.2.5 MÓDULO RF	45
CAPÍTULO IV: MEDICIONES Y CARACTERIZACIÓN DE LOS BLOQUES	46
4.1 DEMOSTRACIÓN DEL FUNCIONAMIENTO DE CADA BLOQUE	46
4.1.1 Circuito conversor de señal diferencial a ‘single-ended’	46
4.1.2 Circuito conversor de señal ‘single-ended’ a diferencial	46
4.1.3 Circuito modulador de 118 MHz.....	47

4.1.4 Circuito modulador de 138 MHz.....	48
4.1.5 Circuito activador del conmutador.....	49
4.2 UNIONES DE BLOQUES.....	50
4.2.1 Conversor de señal diferencial a ‘single-ended’ – conversor de señal ‘single-ended’ a diferencial.....	50
4.2.2 Modulador de 118 MHz – demodulador de 118 MHz	51
4.2.3 Modulador de 138 MHz – demodulador de 138 MHz	51
4.3 INTEGRACIÓN	52
4.3.1 Conversor de señal diferencial a ‘single-ended’ – conmutador – modulador – demodulador – conversor de señal ‘single-ended’ a diferencial – conmutador	52
4.3.2 Establecimiento de un canal de comunicaciones entre un periférico diseñado con el estándar USB 1.1 y un ordenador.....	52
CAPÍTULO V: CONCLUSIONES Y TRABAJOS FUTUROS	54
5.1 CONCLUSIONES	54
5.2 TRABAJOS FUTUROS	54
CAPÍTULO VI: PRESUPUESTO Y PLANIFICACIÓN DE TAREAS	56
CAPÍTULO VI: ANEXOS.....	60
ANEXO A: Análisis funcional.....	60
A/I – Circuito de interpretación de las señales piloto	60
A/II – Circuitos modulador y demodulador de las señales piloto	64
A/III – Circuito generador de las señales piloto.....	64
A/IV – Circuito conversor de señal diferencial a ‘single-ended’	64
A/V – Circuito modulador.....	67
A/VI – Circuito demodulador	73
A/VII – Circuito conversor de señal ‘single-ended’ a diferencial.....	77
A/VIII – Circuito conmutador	78
A/IX – Circuito activador del conmutador.....	79
A/X – Módulo RF	81
A/XI – Balance de enlace.....	81
ANEXO B: Especificaciones técnicas	84
B/I – Regulador de tensión LM317.....	84
B/II – Optoacoplador PC817.....	84
B/III – Conversor paralelo-serie MC145026 y conversor serie-paralelo MC145027	85
B/IV – Módulos RF de 433 MHz.....	86
B/V – Amplificador operacional NE5539.....	87
B/VI – Seguidor lógico 74HC4050	88

B/VII – Inversor lógico SN74LS04.....	89
B/VIII – Conmutador electrónico DG403DJ	90
B/IX – Amplificador operacional OP90.....	91
B/X – Bucle de enganche de fase NE568A.....	92
B/XI – Antena de transmisión/recepción DX-RX-795	93
ANEXO C: Fotografías de los circuitos.....	95
BIBLIOGRAFÍA.....	97

ÍNDICE DE FIGURAS

Figura 1. Ejemplo de la topología USB [3].....	17
Figura 2: Modelo lógico funcional de la arquitectura USB [17].....	19
Figura 3. Estructura de los paquetes del protocolo USB [7]	21
Figura 4. Ejemplo de señal asíncrona [7].....	23
Figura 5. Ejemplo de señal síncrona [7].....	23
Figura 6. Esquema de conexiones para el modo low-speed [8]	24
Figura 7. Esquema de conexiones para el modo full-speed [8].....	24
Figura 8. Forma de onda de la señal de 1.5 Mbit/seg [8]	25
Figura 9. Forma de onda de la señal de 12 Mbit/seg [8]	25
Figura 10. Representación de un paquete a nivel eléctrico [8].....	26
Figura 11. Establecimiento de un enlace high-speed [9].....	27
Figura 12. Estado idle en los protocolos USB 3.0 y 3.1 [13]	28
Figura 13. Formas de onda en los protocolos USB 3.0 y 3.1 [13]	28
Figura 14. Esquema de conexiones USB 3.0 y 3.1 [13].....	28
Figura 15. Esquema básico de los transceptores local y remoto [EP]	29
Figura 16. Circuito de interpretación de las señales piloto [EP-21-22-8]	33
Figura 17. Circuito de la fuente de alimentación constante de 3.3V [EP-20]	33
Figura 18. Circuito demodulador de las señales piloto [EP-23].....	34
Figura 19. Conversor de señal diferencial a ‘single-ended’ [EP-25]	34
Figura 20. Circuito de la primera etapa del modulador de 138 MHz [EP-36]	36
Figura 21. Circuito de la segunda etapa del modulador de 138 MHz [EP-36]	37
Figura 22. Circuito de la primera etapa del demodulador de 118 MHz [EP-35]	38
Figura 23. Circuito de la segunda etapa del demodulador de 118 MHz [EP-25-26]	39
Figura 24. Conversor de señal ‘single-ended’ a diferencial [EP-32-33]	39
Figura 25. Circuito conmutador TX-RX [EP-34]	40
Figura 26. Circuito activador del conmutador [EP-26-30-31]	41
Figura 27. Módulo RF del transceptor local [EP-38].....	42
Figura 28. Circuito generador de las señales piloto [EP-22].....	42
Figura 29. Circuito modulador de las señales piloto [EP-23]	43
Figura 30. Circuito modulador de 118 MHz [EP-36]	43
Figura 31. Circuito del demodulador de 138 MHz [EP-25-26-35]	44
Figura 32. Circuito conmutador TX-RX [EP-8-34]	45
Figura 33. Salidas de 1.5 y 12 MHz del conversor de señal diferencial a ‘single-ended’ [EP] ..	46
Figura 34. Salidas de 1.5 y 12 MHz del conversor de señal ‘single-ended’ a diferencial [EP] ..	46
Figura 35. Salidas de 1.5 y 12 MHz del circuito de polarización del modulador [EP]	47
Figura 36. Salida diferencial del modulador de 118 MHz [EP]	47
Figura 37. Salida ‘single-ended’ del modulador de 118 MHz [EP]	48
Figura 38. Salida diferencial y salida ‘single-ended’ del modulador de 138 MHz [EP].....	48
Figura 39. Entradas y salidas de 1.5, 15 y 150 kHz del activador del conmutador [EP]	49
Figura 40. Entrada y salida de 1.5 MHz del activador del conmutador [EP].....	50
Figura 41. Salidas de 1.5 y 12 MHz de la unión del conversor de señal diferencial a ‘single-ended’ y su complementario [EP]	50
Figura 42. Salidas de 1.5 y 12 MHz del demodulador de 118 MHz [EP]	51
Figura 43. Salidas de 1.5 y 12 MHz del demodulador de 138 MHz [EP].....	51
Figura 44. Salida diferencial de 1.5 MHz del demodulador de 118 MHz y del de 138 MHz [EP]	52

Figura 45. Salida diferencial de 12 MHz del demodulador de 118 MHz y del de 138 MHz [EP]	52
Figura 46. Bloque de datos enviado por el teclado USB al ordenador [EP]	53
Figura 47. Mensaje de control enviado por el ordenador y el recuperado en el transceptor remoto [EP]	53
Figura 48. Diagrama de Gantt del proyecto [EP]	59
Figura 49. Circuito genérico de la fuente de alimentación constante [22]	60
Figura 50. Circuito de los conmutadores electrónicos [EP-8-21]	61
Figura 51. Circuito equivalente del conmutador electrónico en estado activo [EP-21]	61
Figura 52. Circuito genérico del bloque conversor serie-paralelo – conversor paralelo-serie [22]	62
Figura 53. Circuito preliminar del circuito de interpretación de las señales piloto [EP-22]	63
Figura 54. Circuito genérico del conversor de señal diferencial a ‘single-ended’ [EP-25]	64
Figura 55. Diagrama de bloques del PLL NE568A [35]	67
Figura 56. Circuito de adaptación de la señal moduladora [EP-36]	70
Figura 57. Circuito a analizar sin la fuente de señal V_{in} [EP-36]	70
Figura 58. Circuito a analizar sin la alimentación de 5V [I parte] [EP-36]	71
Figura 59. Circuito a analizar sin la alimentación de 5V [II parte] [EP-36]	71
Figura 60. Circuito equivalente en ausencia de la señal moduladora [EP-36]	72
Figura 61. Conversor de salida diferencial del NE568A a ‘single-ended’ [36]	73
Figura 62. Circuito genérico del demodulador a base del PLL NE568A [35]	74
Figura 63. Circuito genérico del amplificador no inversor a base del NE5539 [EP-25-26]	76
Figura 64. Conversor de señal ‘single-ended’ a diferencial [EP-32-33]	77
Figura 65. Tiempos de transición de una señal que cambia de estado [32]	77
Figura 66. Diagrama de bloques del conmutador electrónico DG403DJ [34]	78
Figura 67. Circuito de conmutación a base del integrado DG403DJ [EP-34]	78
Figura 68. Circuito activador del conmutador [EP-26-30-31]	79
Figura 69. Circuito tanque LC [38]	81
Figura 70. Selector de velocidad [EP]	95
Figura 71. Conversores S/E – dif y dif – S/E (derecha) y detector de velocidad (izquierda) [EP]	95
Figura 72. Modulador de 118 MHz (derecha) y modulador de 138 MHz (izquierda) [EP]	95
Figura 73. Demodulador de 118 MHz (derecha) y demodulador de 138 MHz (izquierda) [EP]	95
Figura 74. Conmutador del transceptor local (derecha) y conmutador del transceptor remoto (izquierda) [EP]	96
Figura 75. Módulo RF [EP]	96

ÍNDICE DE TABLAS Y GRÁFICAS

TABLAS

Tabla 1. Presupuesto general de los componentes utilizados [EP]	56
Tabla 2. Material electrónico utilizado para las pruebas de funcionamiento [EP]	56
Tabla 3. Gastos del personal responsable [EP]	57
Tabla 4. Lista de tareas [EP]	58
Tabla 5. Tabla de verdad del conversor de señal diferencial a 'single-ended' [EP]	65
Tabla 6. Tabla de verdad del conversor de señal 'single-ended' a diferencial [EP]	77
Tabla 7. Tabla de verdad del circuito conmutador [34]	78
Tabla 8. Condiciones de funcionamiento recomendadas para el LM317 [20]	84
Tabla 9. Valores absolutos máximos para el PC817 [21]	84
Tabla 10. Características eléctrico-ópticas del PC817 para $T = 25^{\circ}\text{C}$ [21]	85
Tabla 11. Valores absolutos máximos para el MC145026 y MC145027 [22]	85
Tabla 12. Características del MC145026 y MC145027 para $T = 25^{\circ}\text{C}$ y $V_{cc} = 5\text{V}$ [22]	85
Tabla 13. Magnitudes temporales del MC145026 y del MC145027 para $T = 25^{\circ}\text{C}$ y $V_{cc} = 5\text{V}$ [22]	86
Tabla 14. Condiciones de funcionamiento recomendadas para los módulos RF de 433 MHz [23]	86
Tabla 15. Características de las antenas de los módulos RF de 433 MHz [23]	87
Tabla 16. Características del NE5539 para $V_{cc} = \pm 6\text{V}$ y $T = 25^{\circ}\text{C}$ [25]	87
Tabla 17. Valores absolutos máximos para el 74HC4050 [32]	88
Tabla 18. Condiciones de funcionamiento recomendadas para el 47HC4050 [32]	88
Tabla 19. Tensiones máximas de entrada y de salida del 74HC4050 [32]	88
Tabla 20. Condiciones de funcionamiento recomendadas para el SN74LS04 [33]	89
Tabla 21. Magnitudes temporales del SN74LS04 [33]	89
Tabla 22. Condiciones de funcionamiento recomendadas para el DG403DJ [34]	90
Tabla 23. Condiciones de funcionamiento del DG403DJ para $T = 25^{\circ}\text{C}$ [34]	90
Tabla 24. Corrientes de entrada máximas y mínimas del DG403DJ [34]	91
Tabla 25. Magnitudes temporales del DG403DJ [34]	91
Tabla 26. Corrientes de alimentación mínimas del DG403DJ [34]	91
Tabla 27. Especificaciones del OP90 para $T = 25^{\circ}\text{C}$ [30]	91
Tabla 28. Condiciones de funcionamiento recomendadas para el NE568A [35]	92
Tabla 29. Condiciones recomendadas para el NE568A como modulador [35]	92
Tabla 30. Condiciones recomendadas para el NE568A como demodulador [35]	93
Tabla 31. Características de la antena DX-RH-795 [37]	93

GRÁFICAS

Gráfica 1. Frecuencia de entrada VS amplitud de salida para el A.O. NE5539 [25]	67
Gráfica 2. Valor del resistor R_{tc} VS frecuencia de trabajo para el PLL NE568A [35]	68
Gráfica 3. Valor del resistor $R_{\text{FREQ ADJ}}$ VS frecuencia de trabajo para el PLL NE568A [35]	69
Gráfica 4. V_{out} del modulador en función de la frecuencia de trabajo [36]	93

ABSTRACT

The present work is a proof of concept that demonstrates the possibility of designing and implementing a basic communications system from the ground floor, applying the knowledge acquired in the University. This system converts a link, created between an USB device and a computer when they are connected, from wired to radio. It consists of two transceivers, called “local transceiver” and “remote transceiver”. The first one will be connected to one of the free USB ports of the computer and the second one will act as an interface for the USB device to be used.

The USB technology was born in the mid-90s thanks to IBM, Intel, Microsoft, Northern Telecom, NEC and Apple due to the need of simplify the interface between the peripheral devices and the computer.

The first USB standard has appeared in 1996 and it was called USB 1.0. It standardized the so-called *human interface devices* (HID) such as keyboards, mouse, ISDN phones, web cameras, etc. and its data flows were relatively small: 1.5 Mbps (*low-speed*) and 12 Mbps (*full-speed*).

The USB 1.0 is the first functional version of the USB protocol and it did not allow the use of the non-*HID* peripherals, while all the subsequent revisions of the protocol have extended the usability of the USB architecture to most of the devices that are currently known.

The second standard was the USB 1.1 and its main objective was to solve the ambiguity problems of the previous version. It dates from 1998.

The third version of the standard was born in 2000 using the name of USB 2.0. Its maximum theoretical data rate is 480 Mbps and this new mode of operation is called *high-speed*. The USB 2.0 allows the connection of the storage and video devices.

The next innovation of the USB architecture was the so-called *USB on-the-go*, which has appeared in 2001. Thanks to it, the USB devices can communicate with another USB device without any computer. By this way, peripherals such as digital cameras and mobile phones or USB memories and printers can be interconnected. The data rate is the maximum speed of the slowest device of all the interconnected ones.

The most recent versions of the standard are the 3.0 and the 3.1. The USB 3.0 was released in 2008 and the USB 3.1 was released in 2013. The maximum theoretical data rates of those two standards are 5 Gbps and 10 Gbps, respectively.

Another of the great achievements of the USB protocol is the *Wireless USB*, the purpose of which is to further increase the connectivity that this architecture already offers. The latest version of the Wireless USB is the 1.1, released in 2010. The maximum transfer rate depends on the distance between the transmitter and the receiver.

The USB technology is backwards compatible. That means that any device can work with an earlier version of the standard. The maximum data rate will be the available.

Many of the existing USB devices can work in *plug-and-play* mode. It means that a certain peripheral can be used almost instantly without the need to make settings and during the normal operation of the machine to which this peripheral is connected.

Physically, the Universal Serial Bus consists of a group of electrical cables, which are used to transport the data signals between the computer (known as *host*) and the peripherals connected to it.

The peripherals can be of two types: *hubs* and final devices. The *hub* is an electronic circuit that allows the connection of multiple peripherals to the computer. The final device is the one that allows performing user or control tasks. Graphically, the USB architecture is equivalent to a tree network.

The USB bus has three logical levels:

- The first one is used for data logic transport between the device and the *host*, using the so-called *USB driver*.
- The second one handles the logical part of the peripherals, managing the bus access mechanism and the possible forms of data transmission between the *host* and the device.
- The third one is the physical layer. This layer serves the upper layers making possible the physical union between the device and the *host*.

The USB protocol uses four types of data packets: token, payload, handshake and frame start.

- The token packet informs each device about the state of the communications channel.
- The payload is the useful data, which can be generated by the user or can be control information.
- The handshake packet indicates how a data frame has been received.
- The frame start packet indicates the start of a new frame.

Regarding the physical functioning of the bus, it uses the synchronous data transfer mode, where the synchronism is in the proper signal and the information is always transmitted in serial mode. In other words, the bits are sent sequentially and combined into frames that are sent continuously, regardless of whether or not there are useful data to send.

In the standards 1.0, 1.1 and 2.0 the electric cable consists of 4 wires, two of which are for the power, while the other two are for data. The electrical signals are transmitted

differentially, which means that both signals are opposite. This cable is what creates the physical link between the host and the device to be used, unless the link is wireless. At each end of this link there is a transceiver. The transceiver of the device is known as *downstream transceiver* and the transceiver of the *host* is known as *upstream transceiver*. These standards can operate only in *half-duplex* communication mode. In other words, while one of the transceivers is transmitting, the other is receiving.

In standards 1.0 and 1.1, the maximum speed of the device is determined by the position of a fixed polarized resistor, called *pull-up resistor*, which is connected to one of the data lines. At the end of the *host*, these lines are connected to two fixed resistors, connected to ground.

In the case of the USB 2.0 standard, the *high-speed* device is connected firstly in *full-speed* mode, because the *pull-up resistor* still exists here. Then, the peripheral transceiver cancels the polarization of the *pull-up resistor*, connecting both data lines between two fixed resistors and ground. These resistors have different value to the resistors of the *host*, where they are permanently grounded.

The electrical interface of the USB 3.0 and USB 3.1 standards changes completely, since they operate in full-duplex mode. The cable incorporates two more pairs of copper wires. The speeds of these two standards are achieved thanks to the use of a more efficient modulation than the used by the previous versions of the standard. The connection of a new device is detected thanks to the *receiver end termination*, because the *pull-up resistors* no longer exist here.

Regarding the communication system, due to the lack of resources and the fact that this project is a proof of concept, complex electronic circuits and programmable components have not been used in the construction of the two transceivers. The system tries to reach a bit rate of 12 Mbps, which would meet the specifications of the USB 1.1 standard.

Electronically, each transceiver performs two separate tasks:

- Adapt the input data signal to send it to the radio channel using a very simply frequency modulation: the FSK.
- Receive the response data signal, demodulate it and deliver it to the *host* or the device.

The functional blocks of the *remote transceiver* are the following:

- The speed detector. Built using a parallel-to-serial converter, this circuit delivers a signal known as *pilot signal* to its output. That signal depends on the type of the device connected to the transceiver. The speed selection is carried out by the user and the resulting *pilot signal* is unique for each type of peripheral. By this way, the operating modes of the system are 3: *full-speed*, *low-speed* and *device disconnected*.

- The *pilot signal* modulator. This circuit has been built using an integrated RF module and its only function is to adapt the *pilot signals* to send them to the radio channel using the ASK amplitude modulation.
- The TX/RX switch. This switch enables the transmission or reception of the data signal, opening or closing the path between the external port of the transceiver and the modulator or between the demodulator and that port. The circuit has been implemented with an integrated electronic switch and allows the half-duplex mode operation of the transceiver.
- The differential to ‘single-ended’ signal converter. The purpose of this circuit is to deliver to its output the subtraction of the two complementary input signals. The output signal is called ‘single-ended’ and is easier to handle than a differential signal, because the differential signaling requires synchronism. The converter has been implemented with an operational amplifier configured as a differential amplifier.
- The ‘single-ended’ to differential signal converter. This converter performs the exactly opposite task to the previous one, since its input is a ‘single-ended’ signal and its two outputs are two phase-opposite signals, also known as complementary signals. For the construction of the circuit, a logical follower and inverter have been used.
- The modulator. The modulator is responsible for transmitting the ‘single-ended’ signal through the radio link to the demodulator at the other end. The core of the circuit is an integrated PLL, configured as a frequency modulator. The modulation it uses is FSK.
- The demodulator. This circuit recovers the data signal sent by the modulator of the local transceiver. In both transceivers the modulator and the demodulator operate at two different frequencies, thus guaranteeing an adequate functioning of the system. The core of the demodulator is the same integrated PLL that was used for the modulator.
- The RF module. This circuit connects the modulator and the demodulator with their respective antennas, as well as preventing one of the two working frequencies from affecting the other in any way. The RF module is implemented with a passive LC tank circuit.

On the other hand, the functional blocks of the local transceiver are the following:

- The speed selector. Its purpose is to polarize one of the two data lines of the computer, depending on the maximum speed of the device connected to the remote transceiver. The speed selector receives the *pilot signal* generated by its complementary circuit, which is the speed detector of the other end of the link.

The speed selector has been implemented with an integrated serial-to-parallel converter, which interprets each of the *pilot signals* and returns to its output a constant voltage that polarizes the relevant *pull-up resistor*.

- The *pilot signal* demodulator. This circuit was implemented with a digital RF module that is complementary to the modulator at the other end of the link. The *pilot signal* demodulator receives and demodulates the pilot signals, so that the speed selector interprets them appropriately.
- The TX/RX switch. Its functionality is the same as for the remote transceiver. Both transceivers have the transmission status as default. To simplify the design, it has been decided to use the signal from the demodulator to enable the reception mode of one of the two transceivers, causing the switch to change its state. To achieve this, the demodulated signal must be rectified previously.

The differential to ‘single-ended’ converter circuit, the ‘single-ended’ to differential converter circuit, the modulator, the demodulator and, finally, the RF module, are similar to those used in the remote transceiver.

Both the modulator-demodulator pair of the *pilot signal* and the modulator-demodulator pairs of the local transceiver – remote transceiver and the remote transceiver – local transceiver link each operate with a different frequency. The use of these three frequencies is allowed for the purpose of the present project, according to the current regulations.

The circuits of both transceivers can be grouped into five large modules:

- The module of the *pilot signal*, composed by the modulator of the *pilot signal* and the speed detector on the one hand, and the demodulator of the *pilot signal* and the speed selector on the other.
- The data transmission module, composed by the differential to ‘single-ended’ signal converter and the modulator.
- The data reception module, composed by the demodulator and the ‘single-ended’ to differential signal converter.
- The TX/RX switch, to which the last two are connected.
- And, finally, the RF module, to which the modulator and the demodulator are connected.

This work includes both the theoretical analysis of each of the circuits that make up the communications system and the analysis of the operation of these circuits after their implementation.

CAPÍTULO I: PLANTEAMIENTO DEL PROBLEMA

1.1 INTRODUCCIÓN AL PROYECTO Y OBJETIVOS

1.1.1 Introducción

El presente trabajo va a abordar el diseño, la construcción y la verificación del funcionamiento de un sistema de comunicaciones básico vía radio para la interconexión de periféricos a un ordenador por medio del interfaz USB.

Dicho sistema estará compuesto por dos equipos transceptores, que se llamarán en adelante *transceptor local* y *transceptor remoto*. El primero se conectará a uno de los puertos USB del ordenador, mientras que el segundo cumplirá el papel de interfaz de conexión para un determinado periférico USB.

1.1.2 Objetivo general

Este proyecto consiste en una prueba de concepto, con la que se busca demostrar la capacidad de construir un sistema de comunicaciones básico desde cero, aplicando los conocimientos adquiridos a lo largo de la carrera.

1.1.3 Objetivos específicos

Los objetivos específicos que este trabajo pretende cumplir son:

- Llevar a cabo el diseño de los interfaces de conexión entre un dispositivo USB y un ordenador.
- Realizar el diseño de la etapa de comunicación vía radio.
- Integrar los distintos bloques componentes del sistema y comprobar su funcionamiento.

1.2 ESTADO DEL ARTE

1.2.1 Introducción a la tecnología USB

La tecnología USB (*Universal Serial Bus*) [1] nace a mediados de los años 90 de la mano de IBM, Intel, Microsoft, Northern Telecom, NEC y Apple. Actualmente está experimentando una masificación absoluta, convirtiéndose en el medio de interconexión más utilizado en todo el mundo, gracias a que posibilita el uso de un único tipo de conector y cable para estandarizar las conexiones.

Esta estandarización permite interconectar dispositivos como impresoras, teclados, ratones, cámaras digitales, escáneres, discos duros externos, reproductores de MP3, lectores de tarjetas y muchos aparatos más tanto en el ámbito del hogar u oficina como en el industrial.

Antes de la aparición de la tecnología USB, la integración de los dispositivos periféricos dependía altamente de la arquitectura interna del ordenador, aumentando los costes de la instalación de los mismos, pues se requerían unos conocimientos técnicos que no estaban al alcance de todos los usuarios.

El primer estándar USB apareció en el año 1996 y se denominó USB 1.0. En 1998 fue sustituido por el USB 1.1, al que siguieron las versiones 2.0 en el 2000, 3.0 en el 2008

y, por último, la versión 3.1 en el 2013, siendo ésta la más reciente. Al principio de su existencia el USB se empleaba en las implementaciones de dispositivos de interfaz humana o *HID (Human Interface Device)* [2], como son los teclados, ratones, cámaras web y otros aparatos similares.

Al igual que otros estándares, el USB ha evolucionado para adaptarse a los continuos cambios en el mundo de la tecnología ofrecida a los usuarios. En sus dos primeras versiones la velocidad binaria no era especialmente alta: 1.5 y 12 Mbit/seg [8], aunque por aquel entonces tasas binarias mayores no eran todavía necesarias. En la versión 2.0, la tasa de bit tiene un límite superior teórico de 480 Mbit/seg, equivalente a 60 MB/seg [6]. Con este considerable aumento de la velocidad de transferencia, se les ha brindado a los usuarios la oportunidad de poder utilizar una mayor variedad de dispositivos. En la versión 3.0 se pueden alcanzar, en teoría, los 5 Gbit/seg [7] y esta modificación del estándar permite un suministro máximo de corriente de 900 mA, a diferencia de los estándares anteriores, que definían unas corrientes máximas de 100 y 500 mA, respectivamente [4]. Esta mejora es útil para los dispositivos provistos de batería integrada, pues se reduce considerablemente el tiempo de carga de los mismos. Por último, la modificación más reciente de la arquitectura USB es el estándar 3.1, con una velocidad máxima teórica de 10 Gbit/seg [13]. Una característica interesante de esta versión es que los puertos de conexión para los dispositivos son reversibles. Es decir, no hay ninguna necesidad de preocuparse por la correcta inserción del conector.

Una de las ventajas del protocolo USB es su compatibilidad con dispositivos de estándares anteriores. Es decir, cualquier periférico puede ser utilizado con una versión anterior del estándar, limitándose la tasa de bit de éste a la disponible.

Otra ventaja es la posibilidad de conectar hasta 127 dispositivos a un mismo puerto USB por medio de un concentrador (*hub*) [1], siendo éste un circuito electrónico que puede estar integrado en el mismo ordenador, en un teclado o también en un monitor o una impresora. La máxima velocidad que puede manejar un *hub* depende del protocolo USB implementado, pero dicha velocidad será repartida entre los diversos periféricos conectados al mismo, por lo que si se llega a dar el caso de la imposibilidad de manejar alguno de ellos, el sistema operativo del ordenador daría el aviso pertinente al usuario. Otra de las limitaciones del *hub* es la energía máxima a entregar, ya que éste puede ser de dos tipos: sin alimentación externa (*bus powered*) o con alimentación externa (*self powered*) [5]. En el primer caso el *hub* se alimenta desde el propio puerto USB, por lo que todos los dispositivos conectados a él deben adecuarse al nivel máximo de corriente que dicho puerto pueda suministrar. En el segundo caso el *hub* cuenta con una fuente de alimentación externa y su única limitación radica en el número de puertos máximo para un bus USB.

USB también ofrece el modo de funcionamiento *plug-and-play* (conectar y utilizar) [6] que permite agregar automáticamente un periférico sin necesidad de llevar a cabo configuraciones adicionales.

La tecnología USB es compatible con una gran cantidad de plataformas tanto hardware como software. El protocolo se halla implementado tanto en ordenadores con sistemas operativos Windows, Linux, Macintosh y otros, como en otros dispositivos.

La longitud máxima de los cables eléctricos para el protocolo USB depende del estándar y del tipo de alimentación del dispositivo. Para los estándares 1.0, 1.1 [8] y 2.0 [9], el límite es de cinco metros, si el dispositivo posee alimentación externa. Si, en cambio, el periférico se alimenta a través del puerto o el estándar implementado es el 3.0 [11] o el 3.1 [13], el límite es de tres metros.

1.2.2 Evolución del protocolo USB

1.2.2.1 El USB 1.0

Esta primera edición del estándar vio la luz en enero de 1996 [8]. El móvil principal era la necesidad de conectar de manera eficiente un teléfono a un ordenador.

Las velocidades de transferencia son dos: *baja velocidad* (1.5 Mbit/seg) y *alta velocidad* (12 Mbit/seg). Los dispositivos de *baja velocidad* son aquellos que no precisan de mucho ancho de banda, como ratones, teclados o joysticks. Los dispositivos de *alta velocidad*, son periféricos como módems *RDSI* o dispositivos de audio digital.

1.2.2.2 El USB 1.1

El estándar USB 1.1 se publicó en septiembre de 1998 [8] y su objetivo principal era solucionar los problemas de ambigüedad que presentaba la versión 1.0, facilitándoles así el trabajo a los fabricantes.

1.2.2.3 El USB 2.0

Esta versión se publicó en abril del 2000 [9]. La principal novedad es el aumento de la tasa binaria a 480 Mbit/seg, manteniendo además las características básicas de los protocolos anteriores. Esta nueva velocidad es denominada *high-speed* y permite la conexión de, por ejemplo, unidades de almacenamiento de información y dispositivos de vídeo.

El tipo de cables y de conectores sigue siendo el mismo, mientras que la arquitectura de los *hub* cambia, ya que se requieren controladores nuevos, debido a que ahora tienen distintas velocidades a manejar.

1.2.2.4 El USB OTG

El *USB OTG (on-the-go)* nació en diciembre del 2001 [10] y gracias a él las unidades USB pueden estar en comunicación entre sí sin necesidad de ningún ordenador. Además, los dispositivos interconectados pueden estar funcionando tanto en modo maestro como en modo esclavo.

Las características de este nuevo estándar son las siguientes:

- La posibilidad de convertir de manera dinámica un periférico a un *host* y viceversa gracias al protocolo de negociación de *host* (*host negotiation protocol* - *HNP*).

- La posibilidad de controlar el enlace durante la duración de la transferencia de datos por medio del protocolo de petición de sesión (*session request protocol - SRP*).
- La necesidad de reducir el consumo energético para los dispositivos que se alimentan con acumuladores incorporados.
- La aparición de un nuevo tipo de conector: el mini-USB.

Así, se pueden efectuar conexiones como, por ejemplo, entre una cámara digital y un teléfono móvil o entre una memoria USB y una impresora.

1.2.2.5 El USB 3.0 Y EL USB 3.1

La modificación 3.0 del estándar USB data del 2008 [11] y mantiene la compatibilidad con las versiones anteriores. El principal cambio en esta nueva versión es que eleva a 5 Gbit/seg la velocidad de transferencia de datos, modificándose también la estructura de los cables de conexión y los conectores.

Mientras que el cable de comunicaciones de los estándares anteriores posee un par de líneas de cobre para datos, y otro par para alimentación [8], el nuevo cable incorpora cinco líneas más. Dos de los hilos son usados para enviar la información, otros dos para recibirla y el último es la toma de tierra. No obstante, el nuevo conector es similar al de los estándares anteriores, ya que los cinco contactos adicionales están situados en paralelo a los cuatro ya existentes. Utilizando dos pares de conductores para datos, se permite simultáneamente envío y recepción de éstos (*full-duplex*), al contrario de lo que sucedía en los estándares anteriores, donde la comunicación se efectuaba en modo *half-duplex*. El USB 3.0 es también llamado *super-speed USB* [12].

Otro logro de este estándar es un aumento a 900 mA de la corriente transportada por el cable. Así, aquellos dispositivos que tengan batería interna, se podrán cargar más aprisa, aparte de permitirse un número mayor de éstos. Además, el rendimiento energético es mejorado gracias al uso de un nuevo protocolo basado en interrupciones, que sustituye al chequeo de todos los periféricos conectados, utilizado antes.

El único inconveniente notable de este estándar es el incremento del grosor del cable de conexión, pues al ser mayor el número de hilos, hay menos flexibilidad.

En lo referente al estándar 3.1, publicado en el 2013, que sigue siendo compatible con todos los anteriores [13], su límite de velocidad es de 10 Gbit/seg, aunque la máxima tasa alcanzada ha sido de 7 Gbit/seg. La corriente máxima a suministrar es de 1.5 A. En cuanto al conector, se mantiene su versión clásica y aparece un nuevo tipo, el C [13], que tiene el mismo tamaño que el micro-USB, pero posee más pines de conexión y, además, es reversible.

1.2.2.6 El USB inalámbrico

La misión principal de esta extensión del protocolo USB es aumentar la conectividad que ya ofrece la arquitectura, convirtiendo a inalámbricas las conexiones cableadas. La versión más reciente del USB inalámbrico (conocido como *Certified Wireless USB*), es la 1.1, publicada en 2010 [16]. La primera data del 2005 [15].

Los cambios a nivel de bus en esta versión del estándar son significativos, pues el medio cableado no dispone ni precisa de cifrado alguno. Por otro lado, la probabilidad de error en un medio inalámbrico es más elevada, por lo que para mantener la fiabilidad del sistema, se requieren procesos como *handshaking* (negociación del enlace) y el uso de *buffers*.

La velocidad de transmisión máxima para esta tecnología es de 480 Mbit/seg, si se tiene una separación de tres metros entre el emisor y el receptor, y de 110 Mbit/seg para diez metros. Para distancias mayores, el protocolo no asegura un correcto funcionamiento del sistema. La banda de frecuencias de trabajo se define desde los 3.1 hasta los 10.6 GHz, utilizando la tecnología *Ultrawideband*, abreviada como *UWB*. El método de acceso al medio es por división en tiempo, a fin de que varios dispositivos puedan valerse del servicio, utilizando la totalidad del ancho de banda.

1.2.3 Arquitectura genérica del bus USB

En esencia, el Bus Serie Universal consta de una serie de cables eléctricos, utilizados para transportar datos entre un ordenador, comúnmente conocido por el término *host* (anfitrión), y diversos equipos periféricos conectados a él. La forma de acceso al medio se realiza de acuerdo a las reglas establecidas por el *host*, según las cuales cada periférico puede transmitir de un modo consecutivo. En este sentido, el protocolo USB se asemeja al *Token Ring*. Por otro lado, el *bus* USB permite la conexión y desconexión de los periféricos del *host* durante el funcionamiento normal de éste, sin perjudicarlo de forma alguna. Esta característica del protocolo USB se denomina *hot-plug* [6].

La topología USB está estructurada en tres capas: el *host*, los dispositivos USB y todas las conexiones intermedias. El funcionamiento de la misma se resume como sigue [3]:

- Un único canal de comunicaciones, conocido como *bus*, utilizado para conectar los diversos dispositivos al equipo central.
- La forma de efectuar el flujo de datos, es decir, el modo en el que se produce un intercambio de información entre el equipo central y los periféricos.
- La planificación que utiliza el protocolo para darles a los dispositivos el permiso de acceso al canal de comunicaciones.
- Las relaciones entre las distintas capas del modelo y la función principal de cada una.

La forma física de la topología USB se asemeja a una red en árbol:

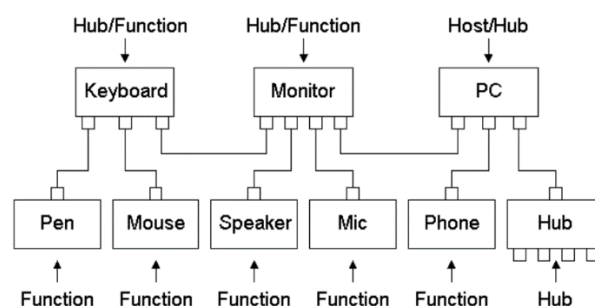


Figura 1. Ejemplo de la topología USB [3]

En una estructura de interconexiones USB solo puede haber un único *host*, que en la mayoría de los casos es un ordenador, cuya sección encargada del manejo del árbol se denomina *controlador USB*. Este controlador es el que conecta el periférico con los puertos de comunicaciones del ordenador y se implementa tanto por hardware como por software. El encargado de gestionar al *controlador USB* es el sistema operativo del ordenador. Los puntos de conexión iniciales forman el llamado *hub raíz*, al cual se unen de manera ramificada los distintos periféricos [6].

Las funciones hardware del controlador USB son las siguientes [8]:

- Detectar, configurar y poner a disposición del usuario los nuevos dispositivos conectados al sistema, además de atender los que ya estén. Esta tarea también incluye acciones vía software.
- Controlar y administrar el movimiento de datos, generado normalmente en función de las acciones del usuario, entre el equipo central y los periféricos.
- Organizar y administrar la información de control entre el *host* y los periféricos. Los datos de control sirven para mantener un orden en la red.
- Reunir datos referentes a la actividad y el estado de los elementos del sistema.
- Limitar la corriente de alimentación proporcionada por los puertos en función del dispositivo conectado.

Por otra parte, las funciones software del controlador USB son estas [8]:

- Numerar y configurar los dispositivos conectados al equipo central.
- Administrar y controlar la transferencia de datos.
- Realizar un control avanzado del suministro eléctrico a los distintos periféricos.
- Administrar la información acerca del estado del bus y los dispositivos.

1.2.4 Tipos de dispositivos USB

Son únicamente dos los tipos de dispositivos USB existentes. En primer lugar están los *hubs* o concentradores, que proporcionan los puntos de conexión adicionales a los ya existentes en el equipo central, y en segundo lugar están los periféricos finales [7].

Un *hub* es un elemento clave de la arquitectura del sistema USB, ya que permite poner en práctica el modo de funcionamiento *plug-and-play* mencionado con anterioridad. Físicamente, es un circuito que posibilita varias conexiones a la vez y la concatenación de equipos, gracias a la cual puede formar parte de una cadena para que el usuario pueda disponer de un mayor número de puertos.

La primera función clave del *hub* es detectar la conexión o desconexión de un periférico en uno de sus puertos, enviando una notificación al *controlador USB* del ordenador, a fin de que éste pueda configurar un nuevo equipo periférico o, en su caso, eliminar las estructuras de datos y los algoritmos de administración del dispositivo que ha sido extraído. La segunda función clave es discernir las transferencias de baja velocidad de las de alta velocidad, para evitar cuellos de botella.

El *hub* se compone de dos secciones: el controlador y el repetidor. El repetidor es el que lleva a cabo los análisis, las correcciones y las retransmisiones de todos los datos de

entrada al *hub* hacia sus salidas (puertos). Está en permanente contacto con el *host* gracias a que memoriza de manera consistente los interfaces que están siendo utilizados y su respectiva velocidad de transferencia. El controlador, sin embargo, tiene la misión de supervisar las diversas operaciones que realiza el *hub*.

El segundo grupo de dispositivos USB son los equipos periféricos, que se conectan al *bus* para efectuar alguna operación final, es decir, para transmitir o recibir información, sea ésta de usuario o de control. Los ejemplos típicos son los ratones, los teclados, las impresoras y las memorias USB. El denominador común de todas las funcionalidades USB es el cable de conexión, ya que se diseña de acuerdo a las especificaciones del protocolo, por lo que no hay que preocuparse por la compatibilidad entre los equipos de los diversos fabricantes. Adicionalmente, los periféricos pueden actuar simultáneamente como *hub*, lo cual permite conectar en cascada más dispositivos [3].

1.2.5 Modelo lógico funcional del interfaz USB

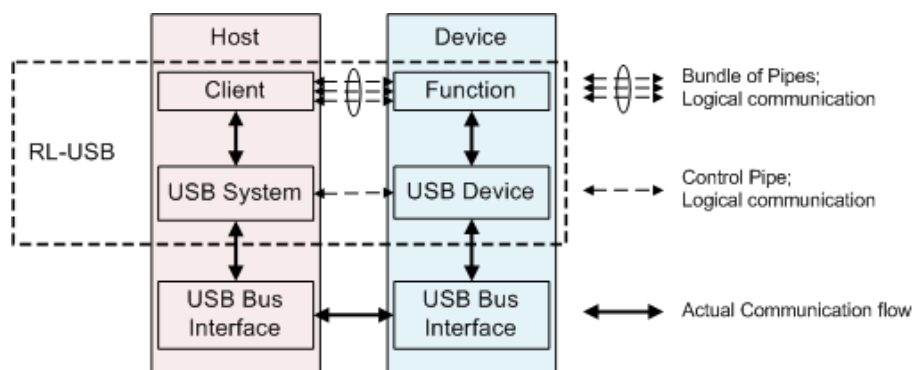


Figura 2: Modelo lógico funcional de la arquitectura USB [17]

En el diagrama de la figura anterior se puede apreciar el flujo de datos del bus USB. Los tres niveles lógicos del bus son los siguientes [17]:

- El **primer nivel** es el encargado de transportar datos entre lo que se denomina *software cliente* y el dispositivo final. El *software cliente* se encuentra alojado en el *host*, y su función principal es la de solicitar tareas diversas a los dispositivos conectados. La transferencia en sí se logra gracias al *controlador USB*, ubicado en capas inferiores. Una característica importante de esta capa es que aquí es donde residen varios de los componentes de los llamados *drivers*, que son los encargados de configurar y controlar los periféricos conectados.
- El **segundo nivel** gestiona la parte lógica de los equipos periféricos conocida como *endpoint* (punto de terminación), manejando el mecanismo de acceso al *bus*, para que éstos puedan comunicarse con el *host*, además de gestionar las posibles formas de transmisión de datos entre ambos. Para realizar sus funciones, esta capa hace uso del hardware proporcionado por el nivel físico, que sería el tercer nivel.

Los componentes y conceptos esenciales de este segundo nivel son [8]:

- *Puntos de terminación o endpoints*: son componentes lógicos de los equipos periféricos. Su fin es el de comunicarse con el *host*, que asigna una única dirección a cada periférico. El intercambio de información entre ambos depende de las características del *endpoint* (ancho de banda, frecuencia de acceso al canal, tipo de transferencia, etc).
 - *Tuberías o pipes*: son elementos virtuales que simulan las conexiones entre el *host* y los *endpoints*. Las características asociadas a una tubería son las mismas que las de su respectivo *endpoint*. Existen, además, las llamadas tuberías de control, gracias a las que los periféricos se pueden configurar y gestionar.
 - *Transferencias*: este término se refiere al modo de transmisión de datos que utiliza el bus USB para llevar a cabo la comunicación entre el *host* y los *endpoints*.
 - *El protocolo USB*: es un conjunto de procedimientos para ejecutar un control y una administración del acceso al medio y el inicio de una comunicación entre los periféricos y el *host*. El protocolo USB se maneja mediante el *controlador USB* y se asemeja al *Token Ring*.
 - *Software de sistema*: es parte del *controlador USB* y está implementado en ambos extremos del enlace. Gestiona la sección del periférico que será utilizada por la capa superior para llevar a cabo la comunicación. En el *host* supervisa el control de potencia, enumera los dispositivos conectados y las tramas de datos.
- El **tercer nivel** es la capa física. Es el nivel más bajo del modelo y es distinto para los dos extremos del enlace, aunque existen similitudes entre ambos. Esta capa da servicio a la capa superior, proporcionándole todo el hardware necesario para unir físicamente el dispositivo con el *host*. Los componentes de la capa física son [17]:
 - *Los interfaces de conexión*: pueden ser de tres tipos (*A*, *B* y *C*). Los interfaces tipo *A* y *B* son muy comunes en aquellos dispositivos que se conectan directamente a un ordenador, como, por ejemplo, una memoria USB. El conector tipo *C*, en cambio, es distinto a los dos anteriores, ya que es reversible. Se utiliza en algunos ordenadores portátiles y teléfonos inteligentes.
 - *La codificación*: los estándares 1.0, 1.1 y 2.0 utilizan el esquema de codificación *NRZI* (*non return to zero inverted*), donde se hace uso de dos niveles de tensión opuestos. Un '1' lógico sería un nivel constante,

mientras que un '0' lógico sería una transición de una tensión a otra. Se realiza, además, el llamado *bit stuffing* (bits de relleno) porque la sincronización se hace en función de los cambios de tensión y si muchos '1' son enviados, se pierde. Por otro lado, las versiones 3.0 y 3.1 manejan secuencias binarias pseudo-aleatorias, donde la codificación de cada bit depende de la de los bits anteriores. Ello se logra utilizando un registro de desplazamiento de n etapas, que guarda una copia de los n bits codificados previos al actual y cada nuevo bit se codifica realizando la operación *XOR* con el bit m de dicho registro.

- *El hardware y su funcionamiento:* el controlador USB consta de una parte hardware y una parte software, dando el soporte necesario al bus USB para que éste pueda realizar sus tareas de un modo correcto.

1.2.6 Tipos de paquetes del protocolo USB

El protocolo USB define cuatro tipos de paquetes de datos [6]. Una transferencia de datos se da sólo cuando el controlador USB le proporciona el respectivo permiso al dispositivo, después de haberle asignado un identificador. Ese identificador se asigna tras haberse conectado el periférico al puerto USB y sirve precisamente para que ese periférico determine si el paquete permiso va dirigido a él o no. El paquete permiso se denomina *token packet* [7].

El estándar USB es muy eficiente en cuanto a la recuperación de los errores, que se implementa tanto por hardware como por software. La recuperación de errores más común es el código de redundancia cíclica o *CRC*. Estando en funcionamiento uno de los modos de corrección, no es necesario activar el otro, para no duplicar las tareas.

Los cuatro tipos de paquetes tienen la siguiente estructura:

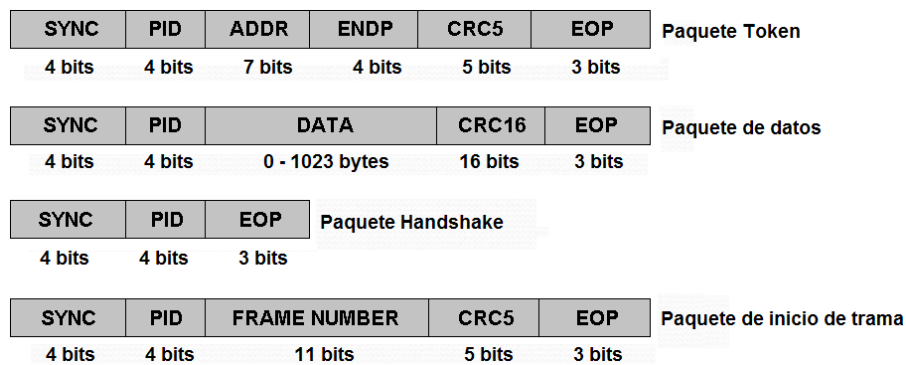


Figura 3. Estructura de los paquetes del protocolo USB [7]

Las funciones de cada paquete se describen a continuación [6]:

- El paquete *token* informa a cada dispositivo sobre el estado del canal. Puede ser de tres tipos: *in*, *out* y *setup*. El *token in* sirve para informar al periférico de que el *host* se encuentra dispuesto para recibir datos, el *token out* sirve para informar al periférico de que el *host* se dispone a enviar datos y, por último, el *token setup* se utiliza para iniciar las transferencias de información de control.

- El paquete de datos puede transportar un máximo de 1023 bytes de información.
- El paquete de inicio de trama indica el comienzo de una trama nueva.
- El paquete *handshake* puede ser de tres tipos: *ACK*, *NAK* y *STALL*. El *ACK* es una confirmación de la correcta recepción de una trama, el *NAK* indica que el periférico está temporalmente fuera de servicio (no puede recibir ni enviar datos) o que simplemente no tiene ningún dato para enviar y, finalmente, el *STALL* indica un fallo en la comunicación o en la configuración del periférico.

Los campos de los paquetes son los siguientes [9]:

- *Synchronization field* ó *Sync*: su función es sincronizar el reloj de los dos extremos del enlace.
- *Packet identifier* ó *PID*: es el identificador del paquete.
- *Address field* ó *ADDR*: es la dirección del destino del paquete. Su tamaño son 7 bits, por lo que el máximo número de dispositivos a soportar es 127.
- *Endpoint field* ó *ENDP*: es el identificador del *endpoint*. Su tamaño son 4 bits, por lo que se permite un máximo de 16 *endpoints*.
- *Cyclic redundancy check* ó *CRC*: es el código de corrección aplicado a los datos útiles de cada paquete. En el caso de los paquetes *token*, la longitud del código es de 5 bits, mientras que para los paquetes de datos, es de 16 bits.
- *End of packet* ó *EOP*: son los bits que indican el final de un paquete. Este campo está formado por 3 bits.

1.2.7 Modos de transferencia de datos

1.2.7.1 Modo asíncrono

La transferencia asíncrona puede ser de dos tipos: serie y paralelo [17]. El nombre de este modo de transmisión se debe a que el sincronismo no se encuentra en la señal misma, sino que se lleva a cabo por los relojes internos presentes en los dos extremos del enlace [18]. La más utilizada es la primera, debido a los desfases temporales en las comunicaciones a larga distancia. Una transferencia en paralelo sólo es útil a corta distancia, aún a pesar de ser la más rápida.

Al inicio del grupo de bits de información se añade un bit de arranque para informarle al receptor sobre la llegada de los siguientes bits, mientras que al final se añade un bit de paridad, utilizado para el control de errores, y uno o dos bits de fin de bloque. El receptor conoce la estructura del grupo de bits que le tiene que llegar, por lo que tras recibir los bits de parada, da por hecho que el bloque está completo.

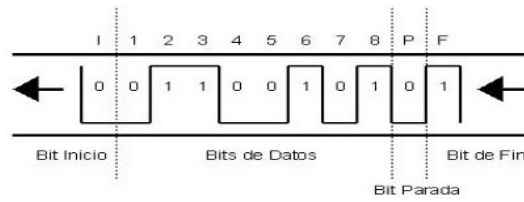


Figura 4. Ejemplo de señal asíncrona [7]

1.2.7.2 Modo síncrono

En este modo de transferencia el sincronismo se encuentra en la propia señal y la transmisión se hace siempre en modo serie. De esta forma, se cubren distancias mucho mayores, además de aprovechar más eficientemente el canal de comunicaciones [8].

Un bloque de datos síncrono puede estar compuesto por 128 o 1024 bytes, dependiendo del estado del canal. Está formado por un grupo de bits de sincronismo (*SYN*), un grupo de bits útiles y un grupo de bits de fin de bloque (*ETB*) [7].

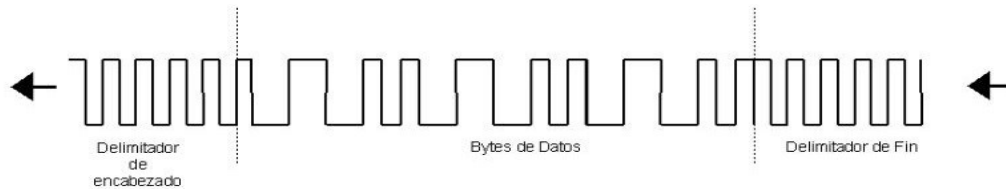


Figura 5. Ejemplo de señal síncrona [7]

1.2.7.3 Modo isócrono

Este modo de transmisión integra información de varios tipos en una misma señal. Los caracteres individuales se encuentran separados por un número entero de intervalos de tiempo que equivalen a la duración de un bit. La comunicación entre el dispositivo y el *host* se realiza de un modo continuo y periódico. Los datos relevantes se transfieren sólo cuando es necesario. El modo isócrono se utiliza mucho para el audio y el vídeo [9].

1.2.7.4 Modo bulk (ráfaga)

Es un tipo de comunicación no periódica. Se utiliza sobre todo en enlaces donde se requiere el máximo ancho de banda disponible, como por ejemplo en transmisiones de archivos de vídeo grandes [9].

1.2.7.5 Transferencias de control

Sirven para configurar el dispositivo conectado al *host*. El tamaño de los paquetes oscila entre los 8 y los 64 bytes, dependiendo del tipo de periférico a configurar [9].

1.2.7.6 Transferencias de interrupción

Se utiliza para los dispositivos que transmiten un flujo muy pequeño de información y con poca frecuencia. Es una transferencia unidireccional, ya que los datos viajan únicamente desde el periférico al *host* para notificarle acerca de algún evento. La longitud del bloque de datos es la misma que para las transferencias de control [9].

1.2.8 Interfaz eléctrico del bus USB

El cable eléctrico de los estándares 1.0, 1.1 y 2.0 está formado por cuatro hilos. Dos de ellos son de alimentación (5V), mientras que los otros dos son de datos y se conocen como D^+ y D^- .

Las señales se transmiten de forma diferencial (valores de tensión opuestos), lo que permite evitar cualquier tipo de interferencia electromagnética, ya que ésta se suma del mismo modo a ellas y cuando en el receptor se obtiene la señal útil por medio de la operación resta ($D^+ - D^-$), dicha interferencia desaparece.

Los estándares 1.0 y 1.1 trabajan con dos velocidades: 1.5 y 12 Mbit/seg, denominados *low-speed* y *full-speed*, respectivamente. En cada extremo del enlace entre el *host* y el dispositivo está presente un circuito transceptor. El del periférico se conoce como *downstream transceiver*, mientras que el del *host* como *upstream transceiver*.

La velocidad máxima del dispositivo conectado se determina por la posición de un resistor fijo, llamado *pull-up resistor*, asociado a su transceptor, y su resistencia es de 1.5 k Ω . En los dispositivos *low-speed*, el *pull-up resistor* está conectado entre el pin D^- y una alimentación continua, cuyo valor puede estar entre los 3.0 y los 3.6V, referenciado a la tierra del periférico, mientras que en los dispositivos *full-speed*, dicho componente se encuentra entre el pin D^+ y esa alimentación. En el extremo del *host* las dos líneas de datos están conectadas entre dos resistores de 15 k Ω , conocidos como *pull-down resistors*, y tierra. [8].

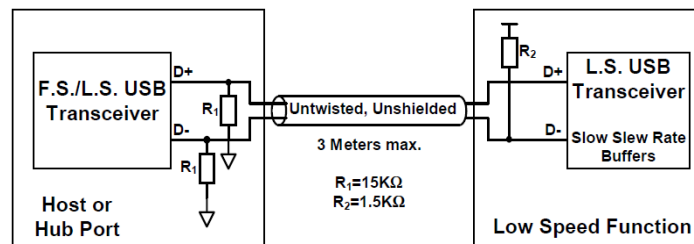


Figura 6. Esquema de conexiones para el modo low-speed [8]

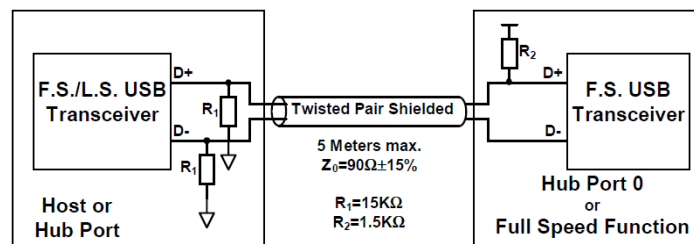


Figura 7. Esquema de conexiones para el modo full-speed [8]

Los niveles de tensión con respecto a tierra para ambas líneas de datos son de 0.8V para el nivel bajo y de 2.5V para el nivel alto, aunque el bus USB puede soportar sin dañarse voltajes entre los 0.5V negativos y los 4.8V positivos.

Un '1' diferencial consiste en un valor positivo de tensión en la línea D^+ , que debe exceder en al menos 200 mV el valor de tensión presente en la línea D^- . Un '0' diferencial, en cambio, es todo lo contrario, pues en este caso el valor de tensión en la línea D^- es el que debe ser como mínimo 200 mV mayor al voltaje en la línea D^+ .

Las formas de onda aproximadas de las señales diferenciales para los modos de funcionamiento *low-speed* y *full-speed* son:

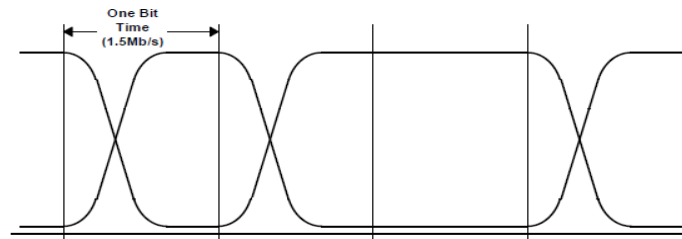


Figura 8. Forma de onda de la señal de 1.5 Mbit/seg [8]

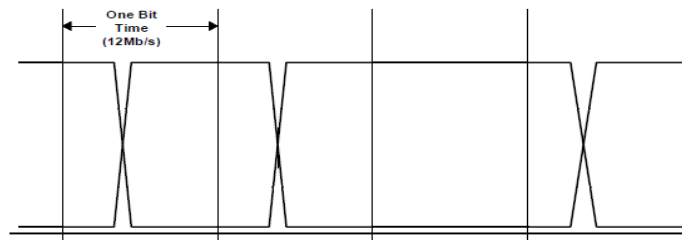


Figura 9. Forma de onda de la señal de 12 Mbit/seg [8]

Cuando se conecta un dispositivo al *upstream transceiver*, se polariza la línea de datos pertinente. Si el periférico es de tipo *low-speed*, se formará el circuito de la figura 6, mientras que si es de tipo *full-speed*, el circuito equivalente será el de la figura 7.

El valor de tensión entre la línea conectada al resistor *pull-up* y tierra será superior a los 2.8V. La diferencia de potencial entre la línea restante y tierra será cercana a cero.

A continuación se resumen los posibles estados de las líneas de datos [8]:

- *Dispositivo desconectado (detached)*: cuando no hay ningún dispositivo conectado al interfaz USB del *host*, ambas líneas de datos presentan un nivel de tensión inferior a 0.8V, llamado '*single-ended*' zero (*SE0*). Si esta condición se cumple durante más de 2.5 μ seg, el *host* considera libre al interfaz.
- *Dispositivo conectado (attached)*: cuando una de las dos líneas de datos del interfaz USB presenta un nivel de tensión alto durante más de 2.5 μ seg, el puerto se considera ocupado. Este estado se conoce también como *idle*.
- *Los estados J y K*: El *estado J* hace referencia al nivel alto de tensión en una de estas líneas y el *estado K* se refiere al nivel bajo en la otra línea. Estos estados no deben confundirse con el *idle*, pues son el *host* y el periférico los que los generan.
- *El estado 'single-ended' one (SE1)*: este estado se presenta únicamente cuando el periférico está dañado. Las dos líneas de datos presentan un nivel alto de tensión.
- *Reinicio (reset)*: antes de iniciar el *host* una comunicación con un nuevo dispositivo, éste debe ser configurado a su estado por defecto, denominado *reset*, que consiste en poner a nivel bajo ambas líneas de datos (*SE0*) durante un tiempo

mayor o igual a 10 mseg. El dispositivo debería reconocer el comando pasados 2.5 μ seg.

- *Señal de fin de paquete (EOP signal)*: el final de un paquete de datos consiste en un estado *SE0* de duración equivalente al tiempo de 2 bits, seguido de un *estado J* de duración equivalente al tiempo de 1 bit.
- *Señal de inicio de paquete (SOP signal)*: el inicio de un paquete consiste en poner las líneas D^+ y D^- en un estado lógico opuesto. Este cambio en los niveles de tensión tiene la duración de 1 bit.
- *Modo de suspensión (suspend mode)*: es el estado del periférico cuando no envía paquetes durante un periodo de tiempo mayor a 3 mseg (típicamente 3.125 mseg). Pasado este tiempo, el *host* comienza a transmitir cada milisegundo mensajes *keep alive* en forma de paquetes *EOP* para mantener activo el enlace.
- *Reanudación (resume)*: cuando el *host* necesita poner fin al estado de suspensión de un dispositivo, invierte la polaridad de las dos líneas de datos durante un tiempo mayor o igual a 20 mseg. La señal de reanudación se completa con un *EOP*.

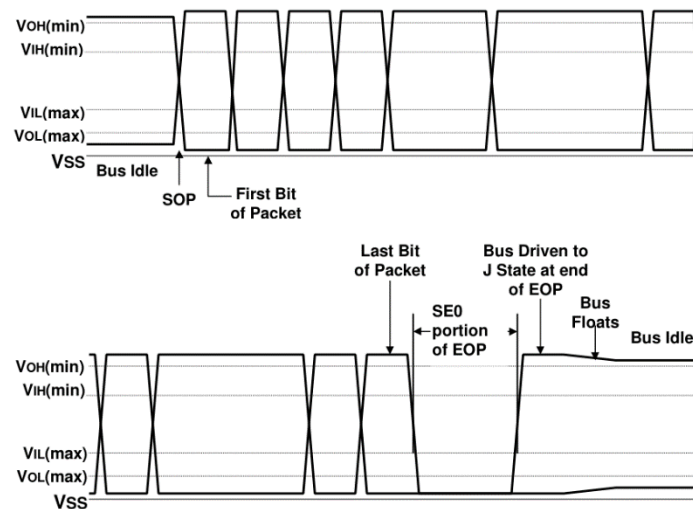


Figura 10. Representación de un paquete a nivel eléctrico [8]

En cuanto a la revisión 2.0 del estándar USB, su interfaz eléctrico está diseñado para funcionar con tres velocidades: 1.5 Mbit/seg (*low-speed*), 12 Mbit/seg (*full-speed*) y 480 Mbit/seg (*high-speed*). Este último nivel es teórico, pues la tasa máxima alcanzada en el modo de funcionamiento *high-speed* ha sido de 280 Mbit/seg. El cable y los conectores utilizados siguen siendo los mismos. Lo que cambia es el transceptor del *host*.

Si el dispositivo conectado puede operar en modo *high-speed*, éste se conecta primero en modo *full-speed*, pues posee un resistor *pull-up* que por defecto polariza la línea D^+ . Después, el transceptor del periférico anula la polarización de dicho resistor y las líneas de datos se conectan a dos resistores fijos de 45 Ω , que derivan a tierra. Los niveles de

tensión con respecto a tierra para el modo de funcionamiento *high-speed* son de 400 mV \pm 10% para el nivel alto y de 0V \pm 10% para el nivel bajo de la señal.

Un periférico de tipo *high-speed* siempre podrá funcionar en un *host* con una versión anterior del protocolo USB, aunque sea sólo para transmitirle su identidad y sus capacidades. El *host* se encargará de informar al usuario si el dispositivo es capaz de efectuar alguna de sus funcionalidades. Por ejemplo, si se pretende utilizar una memoria USB en un equipo que tenga implementado el protocolo USB 1.1 y el sistema operativo instalado es Windows XP, el *host* generará un mensaje de aviso informándole al usuario de que el dispositivo conectado puede funcionar más rápidamente. De este modo, el máximo ancho de banda que el periférico podrá utilizar será de 12 Mbit/seg.

La configuración del periférico para habilitar el modo *high-speed* tiene lugar durante el proceso de *reset* que es lo primero que debe realizar el *host* antes de establecer un canal de transferencia de datos. El dispositivo le comunica sus características al *host* y éste le informa acerca de la velocidad máxima del bus [9].

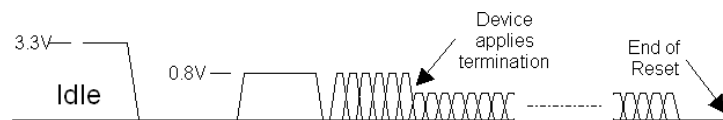


Figura 11. Establecimiento de un enlace *high-speed* [9]

En la figura anterior se puede observar el proceso del establecimiento de un enlace *high-speed*, mediante niveles de tensión.

Como se ha mencionado anteriormente, el dispositivo *high-speed* mantiene polarizada su línea de datos D^+ durante la conexión física al puerto USB del *host*, estando los dos resistores de 45 Ω por defecto desconectados. Tras aplicar el *host* la condición de *reset* a ambas líneas, el periférico envía una corriente de 17.78 mA por la línea D^- durante un intervalo de tiempo de duración 1 mseg, por lo que el *host* observará una tensión de 800 mV en la línea D^- . Si el *hub* estuviera diseñado para funcionar sólo en los modos *low-speed* y *full-speed*, haría caso omiso a ese nivel de tensión [8]. En caso contrario, enviará al periférico una señal formada por estados *K* y *J* durante un tiempo igual a 100 μ seg, inyectando una corriente de 17.78 mA a las dos líneas de datos alternamente. Tras recibir el dispositivo tres de esos estados, retira la alimentación de polarización de su resistor *pull-up* y conecta ambas líneas a los resistores de 45 Ω . La amplitud máxima de la señal transmitida por cada hilo pasa a ser de 400 mV [9].

Por último, el interfaz eléctrico de los estándares 3.0 y 3.1 cambia por completo, pues estos protocolos funcionan en modo *full-duplex*. Es decir, los dos transceptores implicados en el enlace pueden estar recibiendo y transmitiendo datos simultáneamente. La señal utilizada sigue siendo diferencial. El cable es totalmente distinto a su antecesor, pues ahora incorpora dos pares más de hilos de cobre, conocidos como *USB3_TX* y *USB3_RX* [13]. La longitud máxima del cable es de 3 metros.

Las velocidades máximas alcanzadas han sido de 3.2 Gbit/seg en el USB 3.0 [12] y 7 Gbit/seg en el USB 3.1 [14], lográndose gracias al uso de una técnica denominada *spread-spectrum clocking (SSC)* [13], que consiste en un tipo de modulación en

frecuencia donde la energía de la señal se distribuye en un rango de frecuencias mayor que la que esa señal necesitaría inicialmente. El uso del *SSC* reduce la interferencia electromagnética con los dispositivos electrónicos que se encuentran alrededor del sistema de comunicaciones y también entre los propios componentes de éste, ya que los picos de energía tienen una amplitud mucho menor.

Además del *SSC*, ambos protocolos usan una señalización periódica a baja frecuencia ó *LFPS* (*low frequency periodic signalling*) [13], donde se envía una señal repetida a través de las líneas de datos utilizando frecuencias bajas entre los 10 y los 50 MHz durante un periodo de tiempo de 20 o 100 nseg, a fin de iniciar o mantener la comunicación entre el *host* y el nuevo dispositivo. Así, la energía consumida durante el estado *idle* es menor que en los estándares anteriores. La amplitud de pico a pico de esta señal se encuentra entre los 400 y los 600 mV.

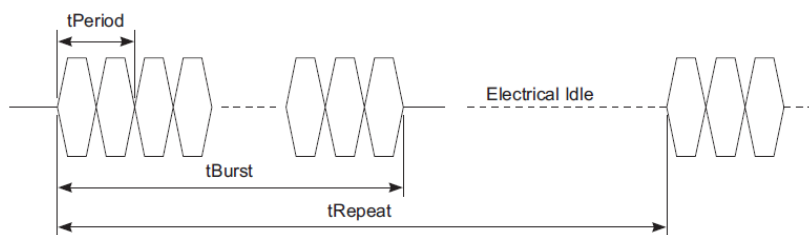


Figura 12. Estado idle en los protocolos USB 3.0 y 3.1 [13]

El valor de la señal de datos útil transmitida está entre los 400 y los 800 mV_{p-p}. Sin embargo, la tensión mínima que necesita el receptor para decodificar correctamente la información es de 150 mV_{p-p}.

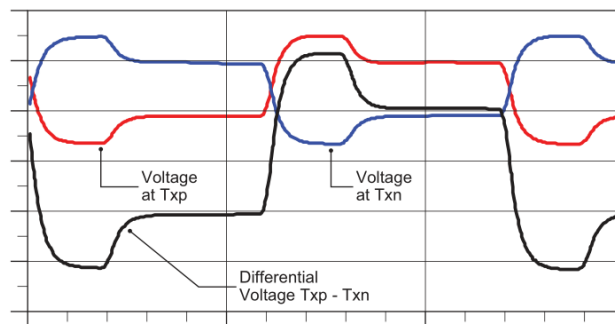


Figura 13. Formas de onda en los protocolos USB 3.0 y 3.1 [13]

La conexión de un nuevo dispositivo se detecta gracias a la terminación del extremo del receptor (*receiver end termination*), ya que en esta tecnología no existen los resistores *pull-up*.

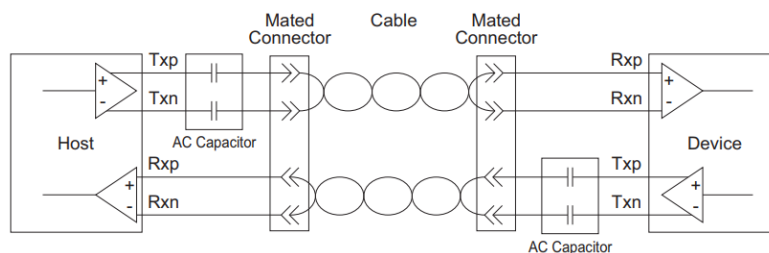


Figura 14. Esquema de conexiones USB 3.0 y 3.1 [13]

CAPÍTULO II: PLANTEAMIENTO DE LA SOLUCIÓN

2.1 DESCRIPCIÓN GENERAL DEL SISTEMA

Como se ha comentado anteriormente, el sistema de comunicaciones consta de dos transceptores: local y remoto. El transceptor local es el que se conecta a uno de los puertos USB del ordenador, mientras que el remoto se utiliza como interfaz de conexión para el dispositivo USB a utilizar. El diagrama de bloques y el diseño funcional han sido ideados íntegramente por el autor del trabajo. El esquema del mismo se identifica con las siglas *EP* (elaboración propia).

Debido a la carencia de recursos y al hecho de ser este proyecto una prueba de concepto, no han sido utilizados circuitos electrónicos complejos ni componentes programables en la construcción de los dos transceptores. La idea es que la velocidad máxima de transferencia de datos sea de 12 Mbit/seg, para adecuarse al estándar USB 1.1 [8].

A nivel electrónico, cada transceptor realiza dos tareas:

- Convertir la señal de datos diferencial a una señal ‘single-ended’ [19] para, posteriormente, enviarla al canal radio mediante modulación *FSK*.
- Recibir una señal ‘single-ended’, demodularla y convertir el resultado a una señal diferencial para entregarla al equipo correspondiente.

Es importante destacar el hecho de que estas dos tareas no se realizan simultáneamente, pues los estándares anteriores al 3.0 funcionan en modo *half-duplex* [9].

El diagrama de bloques del sistema se expone en la figura siguiente:

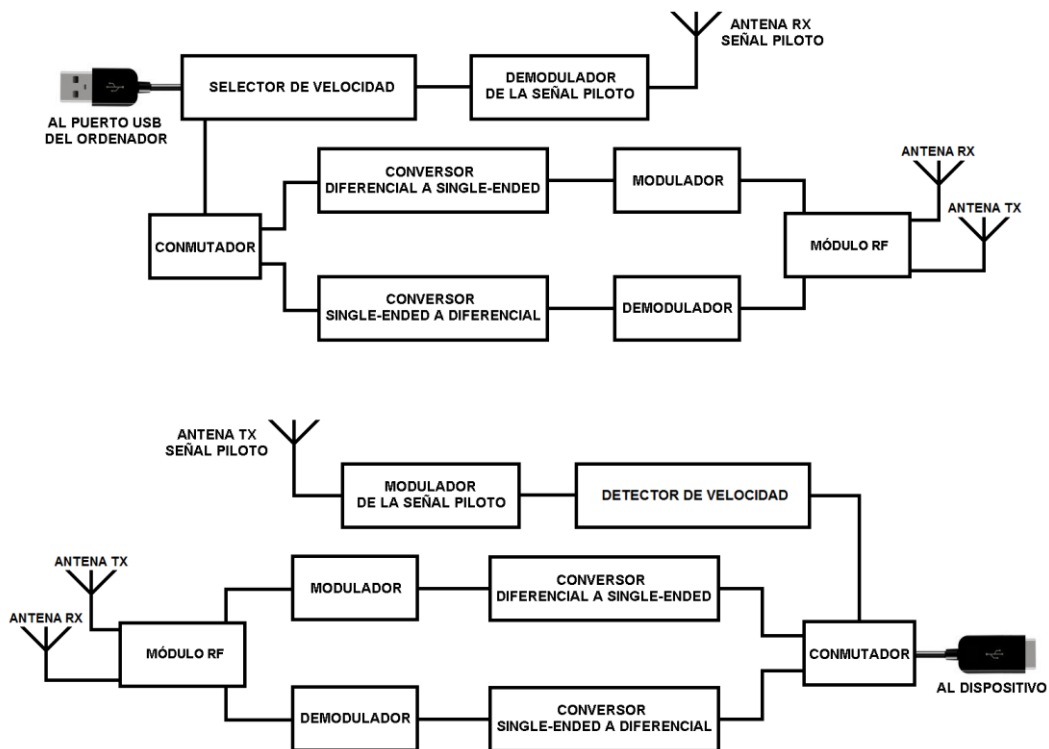


Figura 15. Esquema básico de los transceptores local y remoto [EP]

2.2 DESCRIPCIÓN DE LOS BLOQUES FUNCIONALES

2.2.1 Transceptor remoto

- El detector de velocidad determina la velocidad máxima del periférico USB conectado al puerto de este transceptor, acorde a la posición del resistor *pull-up* [8]. Este circuito entrega a su salida una señal, que se ha denominado *señal piloto*.
- El modulador de la señal piloto tiene como única función la de adaptar la señal piloto de entrada a fin de enviarla a través del canal radio hacia su respectivo demodulador. El circuito es unidireccional.
- La función del conmutador es habilitar la transmisión o la recepción de la señal de datos, abriendo o cerrando el camino entre el puerto externo del transceptor y el modulador o entre el demodulador y dicho puerto. Este circuito hace posible el funcionamiento en modo *half-duplex* del sistema.
- La finalidad del conversor de la señal diferencial a 'single-ended' es entregar a su salida la resta de las dos señales complementarias (opuestas en fase) de entrada. Dicha resta sería precisamente la *señal de datos útil*. El uso de una señal *'single-ended'* se debe a que ésta es más fácil de transmitir y recibir que dos señales complementarias, pues en ese caso haría falta sincronismo.
- La tarea del conversor de señal 'single-ended' a diferencial es justo la opuesta al bloque descrito previamente, ya que la salida son dos señales opuestas en fase.
- El modulador se encarga de transmitir la señal *'single-ended'* de entrada a través del radioenlace para que ésta sea recibida por el demodulador correspondiente.
- El demodulador realiza la tarea contraria al circuito antes citado, pues recibe y demodula la señal de datos proveniente del modulador del transceptor local. El modulador y el demodulador operan a dos frecuencias centrales distintas para no originar bucles de realimentación, garantizando así que el sistema funcione adecuadamente.
- Por último, el módulo RF conecta el modulador y el demodulador con sus respectivas antenas, además de impedir que una de las dos frecuencias de trabajo afecte de algún modo a la otra, aún a pesar de ser ambas distintas.

2.2.2 Transceptor local

- El selector de velocidad de este transceptor sirve para polarizar una de las dos líneas de datos del ordenador, en función del tipo de dispositivo conectado al transceptor remoto. La entrada del circuito es la señal piloto enviada por el equipo remoto.

- La función del demodulador de la señal piloto es recibir y demodular dicha señal a fin de que el selector de velocidad la pueda interpretar adecuadamente. El bloque de las señales piloto opera con cuatro señales: dos para indicar la conexión y la desconexión de los dispositivos *low-speed* y otras dos referentes a los dispositivos *full-speed* [8].
- La funcionalidad del conmutador es la misma que para el transceptor remoto. Ambos equipos tienen como estado por defecto el de transmisión. Para simplificar el diseño, cuando uno de los transceptores necesita habilitar el modo de recepción, se ha decidido que la señal encargada de cambiar el estado del conmutador sea la que proviene del circuito demodulador, habiéndose sido rectificada previamente.
- Los circuitos restantes son similares a los empleados en el transceptor remoto.

Los bloques de ambos transceptores se pueden agrupar en cinco grandes módulos:

- El módulo de la señal piloto, que está formado por el modulador de la señal piloto y el detector de velocidad, por un lado, y por el demodulador de la señal piloto y el selector de velocidad por otro.
- El módulo de transmisión de datos, que agrupa al conversor de señal diferencial a '*single-ended*' y al modulador.
- El módulo de recepción de datos, formado por el demodulador y el conversor de señal '*single-ended*' a diferencial.
- El conmutador, al que se conectan los dos últimos.
- Y, finalmente, el módulo RF, conectado al modulador y al demodulador.

CAPÍTULO III: IMPLEMENTACIÓN DE LA SOLUCIÓN

En este apartado de la memoria se va a realizar un análisis conceptual del diseño de cada uno de los módulos que conforman el sistema de comunicaciones. El diseño original de la periferia de cada circuito integrado utilizado se llevó a cabo por los propios fabricantes y aparece en las hojas de características, en notas de aplicación o es un ejemplo de uso del componente. Los esquemáticos han sido elaborados por el autor de este trabajo a partir de los diseños originales y se identifican con las siglas *EP* (elaboración propia) mas una referencia al documento original correspondiente.

3.1 TRANSECTOR LOCAL

3.1.1 MÓDULO DE LA SEÑAL PILOTO

3.1.1.1 Circuito selector de velocidad

Este circuito se encarga de polarizar una de las dos líneas de datos del ordenador por medio de un resistor fijo de 1.5 k Ω y una alimentación constante de 3.3 V, en función del tipo de periférico presente en el otro extremo del enlace, tras haber enviado el transceptor remoto la orden (*señal piloto*) pertinente. Por otra parte, para dejar de utilizar el periférico, al no estar éste conectado físicamente al ordenador, primero hay que retirarlo en modo software mediante la opción *quitar el hardware de forma segura y expulsar el medio* (en los sistemas operativos Windows) [1] y después hacer que el transceptor remoto avise al local para que lo desconecte físicamente, dejando de polarizar la respectiva línea de datos, lo cual equivale a mandar otra *señal piloto*.

Así pues, se tienen cuatro señales piloto. Dos de ellas son para habilitar la polarización de la línea D^+ o la línea D^- , y las dos restantes para deshabilitarla.

Para la implementación del selector de velocidad se han usado los circuitos integrados siguientes: un regulador de tensión LM317 [20], dos optoacopladores PC817 [21] y un conversor serie-paralelo de 9 líneas MC145027 [22].

En primer lugar, el regulador de tensión LM317 es un regulador lineal que se ha utilizado en la construcción del circuito que proporciona los 3.3V para polarizar el resistor *pull-up* de una de las dos líneas de datos. La entrada del circuito son los 5V suministrados por el puerto USB del ordenador [6]. El análisis completo del circuito y las características del componente se hallan en los anexos A/I y B/I, respectivamente.

En segundo lugar, los dos optoacopladores PC817 actúan como conmutadores electrónicos, encargándose de cerrar el circuito entre cada una de las líneas de datos y su respectivo resistor *pull-up* [8].

El uso de optoacopladores en el selector de velocidad se debe a que estos dispositivos funcionan como un interruptor que se cierra por la acción de la luz emitida por un diodo LED interno del componente cuando a través de éste circula una corriente. El valor de la misma, necesario para polarizar el LED, es muy pequeño, por lo que el optoacoplador es ideal para esta aplicación. El circuito activador del LED se encuentra eléctricamente aislado del que polariza los pines D^+ y D^- , así que el optoacoplador es funcionalmente

Finalmente, el convertor serie-paralelo MC145027 es el que interpreta las señales piloto. Su circuito complementario es el convertor paralelo-serie MC145026, ubicado en el transceptor remoto. De las 9 líneas disponibles, las cinco primeras tienen tres posibles entradas (nivel bajo de tensión, nivel alto de tensión y circuito abierto) y las cuatro restantes tienen dos (niveles bajo y alto de tensión). Así, sabiendo que los estados de un periférico USB son dos (conectado y desconectado), se utilizan solo dos de las cuatro últimas líneas. La salida activa del convertor serie-paralelo proporciona una tensión constante que activa el optoacoplador correspondiente durante toda la duración del intercambio de datos. Ambos convertidores están sincronizados por medio de una señal de reloj, por lo que los valores de los componentes periféricos dependen unos de otros. La frecuencia de oscilación de la señal de reloj no es elevada (1.5 kHz), pues el propósito del circuito de la señal piloto es detectar la conexión y la desconexión de un periférico USB, que se realizan habitualmente de forma manual (por el usuario).

The circuit diagram shows a 1-Watt 485-MHz transmitter. It consists of two PC 817 optoisolators for isolation, an MC145027 oscillator and driver IC, and an LED (D1) for the transmitter output. Power is supplied by a 5V source with decoupling capacitors. The transmitter output is connected to a 10 kΩ load.

The diagram shows a 5V to 3.3V voltage converter circuit. It starts with a 5V USB input connected to the LM317 regulator. The LM317 is configured with a 390Ω resistor between pins 1 and GND, and a 240Ω resistor between pins 2 and 3. A 100nF capacitor is connected between pins 2 and 3. A 1N4002 diode is connected between pin 2 and the output. The output is filtered by a 1μF capacitor and labeled 3.3V_OUT.

33

El análisis del circuito periférico del conversor serie-paralelo MC145027 y sus especificaciones técnicas se encuentran en los anexos A/I y B/III, respectivamente.

3.1.1.2 Circuito demodulador de la señal piloto

El demodulador de la señal piloto extrae dicha señal de la portadora recibida. Se trata de un circuito integrado, cuyo complementario es el modulador presente en el otro extremo del enlace. Ambos operan a una frecuencia central de 433.920 MHz [23]. El esquema de conexiones del demodulador es el siguiente:

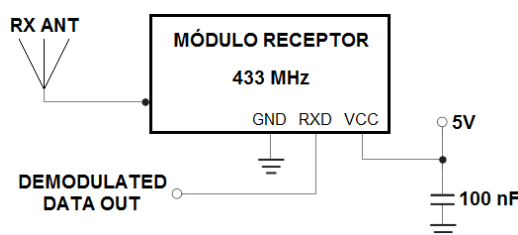


Figura 18. Circuito demodulador de las señales piloto [EP-23]

El *Cuadro Nacional de Atribución de Frecuencias (CNAF)* especifica en su nota UN-30 [24] que el uso de la banda de frecuencias, comprendida entre los 433.500 y los 434.790 MHz, está permitido para los dispositivos de uso común de corto alcance (*SRD*) con una potencia de transmisión máxima de 10 mW y un ancho de banda máximo de 10 kHz. Esta banda de frecuencias se utiliza para las aplicaciones de carácter industrial, científico o médico (*ICM*). Los sistemas de comunicaciones *SRD* deben aceptar cualquier posible interferencia destructiva por parte de otras aplicaciones *ICM*. Así pues, el conjunto modulador-demodulador de la señal piloto se ajusta perfectamente a los márgenes establecidos. Toda la información pertinente se encuentra en los anexos A/II y B/IV.

3.1.2 MÓDULO DE TRANSMISIÓN DE DATOS

3.1.2.1 Circuito conversor de señal diferencial a 'single-ended'

Este circuito convierte dos señales complementarias a una única señal, resultado de la resta de las anteriores, por lo que posee dos entradas y una salida. Ha sido implementado con un amplificador operacional de alta frecuencia NE5539 [25]. El análisis completo del circuito y las características del componente están en los anexos A/IV y B/V, respectivamente.

El esquema eléctrico del conversor es el que sigue:

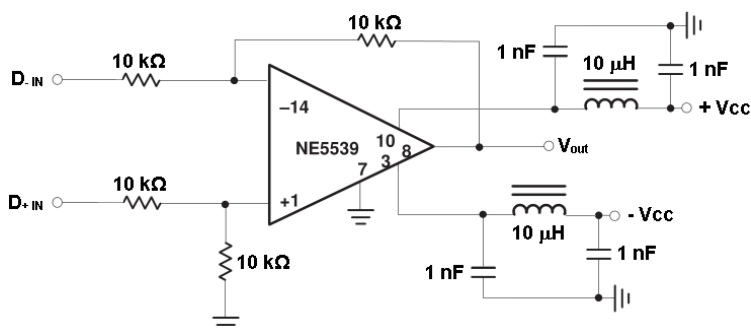


Figura 19. Conversor de señal diferencial a 'single-ended' [EP-25]

Los valores de los cuatro resistores se han elegido para que la ganancia del circuito sea unitaria, pues lo que se pretende es que la salida del mismo sea simplemente la resta de las entradas. La alimentación del bloque es de $\pm 6V$.

Dado que las señales de entrada presentan cambios del nivel de tensión, el parámetro necesario para saber si el componente es adecuado para su utilización en este módulo es el *slew rate* o razón de cambio [26]. Dicho parámetro hace referencia a cuán de rápido puede cambiar de estado la señal de entrada al amplificador. Para la alimentación elegida, el *slew rate* es de $330V/\mu\text{seg}$. Luego, asumiendo que las dos funciones de entrada tienen un $\Delta V = 2.5V$, su máximo tiempo de variación será:

$$t_{max} = \frac{2.5 V * 1 \times 10^{-6} \text{ seg}}{330 V} = 7.57 \times 10^{-9} \text{ seg} = 0.00757 \mu\text{seg} [26]$$

Una vez calculado ese t_{max} , es posible obtener el ancho de banda máximo de las señales de entrada por medio de la expresión siguiente (véase el anexo A/IV):

$$BW_{max} = \frac{0.35}{t_{max}} = \frac{0.35}{7.57 \times 10^{-9}} \approx 46.23 \text{ MHz} [28]$$

Por último, los filtros LC de la red de alimentación eliminan las señales de alta frecuencia que alterarían el funcionamiento del circuito. Las bobinas a altas frecuencias se comportan como circuitos abiertos, mientras que los condensadores pasan a ser circuitos cerrados, por lo que las señales indeseadas derivan a tierra. Los valores de los componentes son los recomendados por el fabricante.

3.1.2.2 Circuito modulador

El modulador envía la señal de datos a través del canal radio, mediante modulación por desplazamiento en frecuencia (FSK). Para la implementación del circuito se ha utilizado un bucle de enganche de fase ó *PLL* NE568A [35], que trabaja con frecuencias de hasta 150 MHz (banda VHF). Aunque los *PLL* normalmente se utilizan como demoduladores, es posible utilizar este integrado como modulador, gracias a una nota de aplicación proporcionada por el propio fabricante. El análisis del circuito y las características relevantes del NE568A, están en los anexos A/V y B/X.

El *PLL* NE568A está compuesto por los siguientes bloques: un amplificador, un oscilador controlado por corriente (*ICO*), un detector de fase, un circuito de ajuste del nivel de tensión, un conversor de tensión a corriente (*V/I*), un conversor de corriente a tensión (*I/V*) y un buffer de salida. Adicionalmente, incorpora circuitería de polarización (*bias circuitry*) que se utiliza para el ajuste fino de la frecuencia de trabajo.

Para lograr que el NE568A funcione como un modulador de frecuencia, deben utilizarse solamente el *ICO* y el conversor de tensión a corriente. Estos dos bloques forman lo que se conoce como *VCO* (*Voltage Controlled Oscillator*) [36].

El componente externo que determina la frecuencia de oscilación es un condensador, llamado T_{CAP} , cuya capacidad se puede determinar únicamente de forma aproximada y a partir de una gráfica, puesto que el fabricante no proporciona expresión alguna para su cálculo.

En cuando al ancho de banda máximo de trabajo, éste depende exclusivamente de la frecuencia de salida. La expresión para el cálculo de este parámetro es:

$$BW = \frac{f_{osc}}{7} \text{ Hz [35]}$$

Para el modulador del transceptor local se ha decidido utilizar una frecuencia central de 138 MHz. El ancho de banda máximo teórico para esta frecuencia sería de 19.71 MHz. La capacidad del condensador T_{CAP} , por tanto, es de 7.2927 pF. En el circuito final se ha utilizado una asociación en paralelo de un condensador de 4.7 pF con uno de 2.7 pF.

El *CNAF* estipula que la banda acotada por los 138 y los 143.6 MHz está designada a los servicios móviles terrestre, marítimo y aeronáutico, de acuerdo a las notas UN-19, UN-76 y UN-154. Por otro lado, las frecuencias comprendidas entre los 117,975 y los 137 MHz están asignadas a los servicios aeronáuticos de búsqueda y salvamento (nota UN-102) y al transporte aéreo (nota UN-18). La banda de los 137 y los 137.825 MHz, en cambio, se utiliza para las operaciones espaciales, la meteorología por satélite y el servicio móvil por satélite. Por último, la banda delimitada por los 143.6 y los 144 MHz es usada por los servicios móviles aeronáutico, terrestre y marítimo, además de por la investigación espacial, de acuerdo a las notas UN-19 y UN-154, mientras que las frecuencias delimitadas por los 144 y los 146 MHz son para uso exclusivo de los radioaficionados. El espectro final de interés se halla entre los 146 y los 148 MHz y se utiliza tanto por los radioaficionados como por el servicio móvil, acorde a las notas UN-154 y UN-156 [24].

Se observa que todas las frecuencias citadas se utilizan para transmisiones a grandes distancias. Pero en este caso, debido al tipo de antenas utilizadas y la potencia de transmisión (véase el anexo A/XI), la distancia máxima es lo suficientemente pequeña como para no afectar a dichas comunicaciones. El esquema eléctrico del modulador se expone en las dos figuras siguientes:

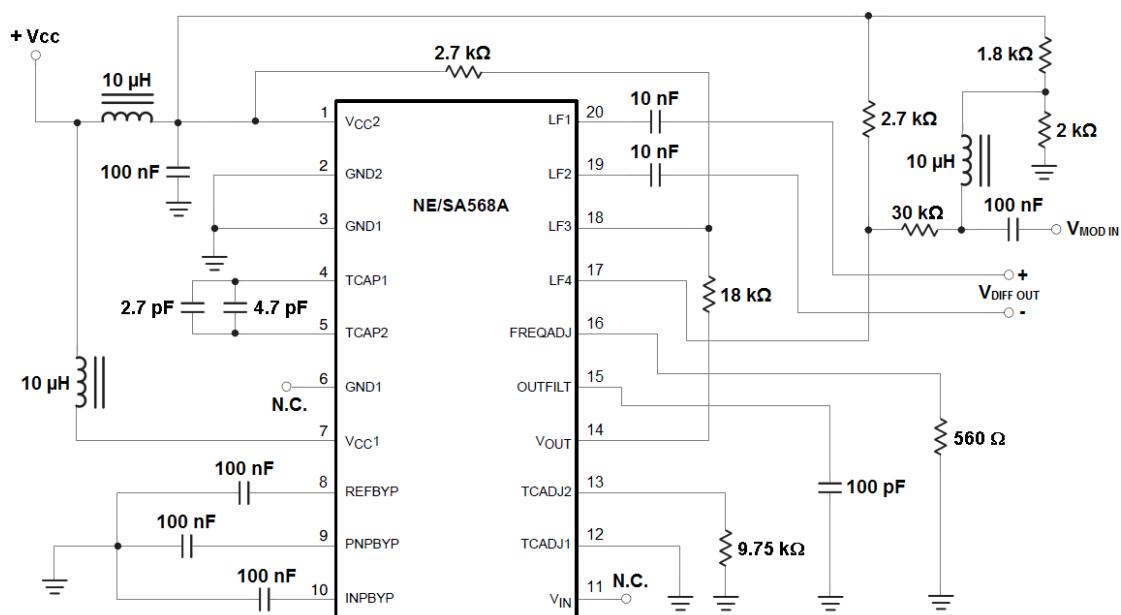


Figura 20. Circuito de la primera etapa del modulador de 138 MHz [EP-36]

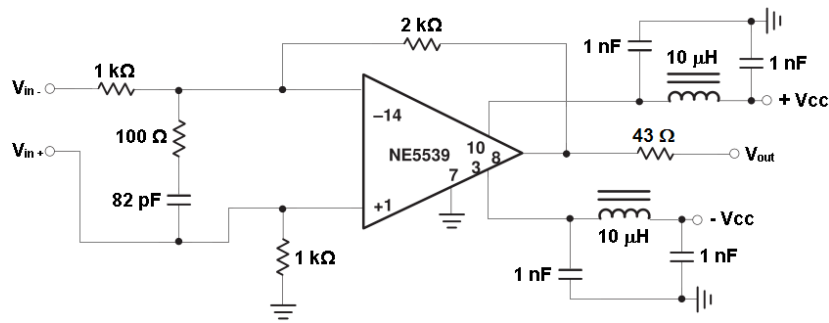


Figura 21. Circuito de la segunda etapa del modulador de 138 MHz [EP-36]

La sección final del circuito es un amplificador diferencial que convierte la salida del *PLL* a 'single-ended', además de eliminar los efectos de carga, reducir el nivel de ruido y amplificar la señal resta. Dado que las señales de entrada al operacional son sinusoides, el elevado ancho de banda del componente hace posible un correcto tratamiento de éstas. La alimentación del *PLL* NE568A es de 5V, mientras que la del amplificador operacional NE5539 es de $\pm 6V$.

3.1.3 MÓDULO DE RECEPCIÓN DE DATOS

3.1.3.1 Circuito demodulador

El demodulador obtiene la secuencia de datos a partir de la señal *FSK* recibida. Ha sido implementado con el mismo *PLL* que el modulador, el NE568A [35]. El análisis completo del circuito es llevado a cabo en el anexo A/VI.

El integrado dispone en su entrada de un amplificador de ganancia 200 V/V, cuya entrada es diferencial. Para señales 'single-ended' la línea no utilizada se conecta a un condensador de bloqueo de continua con una baja impedancia para la frecuencia de trabajo. La señal de entrada se amplifica lo suficiente como para asegurar una respuesta en tiempo razonable y un buen rechazo a la modulación AM.

Después de amplificarse, la señal entra a uno de los dos puertos del detector de fase. El puerto restante está conectado al bloque *VCO*. La salida del detector de fase es una tensión proporcional a la diferencia entre las fases de las señales de entrada y de salida del *VCO* y se conoce como señal de error. Esta señal debe pasar por un filtro paso-bajo, cuya salida es un valor de tensión constante, si la función de entrada al *PLL* no presenta variaciones de frecuencia. De lo contrario, el resultado del filtrado es precisamente la señal modulante. La salida del filtro es llevada de vuelta al bloque *VCO*, desplazando la frecuencia en la dirección adecuada para obtener un desfase de 90° entre las señales de entrada y salida del *VCO* [35].

Para el demodulador del transceptor local se ha decidido utilizar una frecuencia central de 118 MHz [24]. El demodulador forma parte del enlace *uplink*, mientras que el modulador del apartado anterior forma parte del *downlink*. Normalmente, la frecuencia del *downlink* es más alta que la del *uplink*, debido a que el equipo remoto suele transmitir con una potencia menor [15]. Por ello, el número de ciclos por segundo elegido para el demodulador del transceptor local es más pequeño. El ancho de banda máximo teórico para la frecuencia de 118 MHz sería de 16.86 MHz. y la capacidad del

condensador T_{CAP} requerida para esta frecuencia es de 8.5288 pF. En el montaje físico se consigue una buena aproximación poniendo en paralelo un condensador de 4.7 junto con uno de 3.9 pF, dando como resultado una capacidad de 8.6 pF.

La frecuencia superior de la banda de trabajo del *uplink* es de 126.43 MHz, mientras que la frecuencia inferior de la banda de trabajo del *downlink* es de 128.14 MHz, lo cual conlleva a que hay 1.71 MHz de separación entre ambas bandas. Esta separación es lo suficientemente grande como para evitar las interferencias entre los dos enlaces, sabiendo además que en la práctica nunca se llegan a alcanzar las velocidades máximas *low-speed* y *full-speed* del estándar USB 1.1 y la señal de datos no precisa de un ancho de banda mucho mayor al de Nyquist ($f_s \geq 2 f_{MAX}$) [29] para interpretarse correctamente en su respectivo demodulador.

La segunda y última etapa del circuito es un amplificador a base del operacional NE5539 [25], configurado como no inversor, que amplifica la señal de salida del demodulador, debido a que la amplitud máxima de ésta es muy pequeña (entre 0.4 y 0.52 V_p, dependiendo de la potencia de la señal de entrada) y no es suficiente para que la circuitería que viene después funcione adecuadamente. La ganancia del amplificador [26] es de 6.2941 V/V, por lo que la salida del circuito varía entre los 2.52 y los 3.27 V.

El esquema completo del modulador para una frecuencia de trabajo de 118 MHz aparece en las figuras de a continuación:

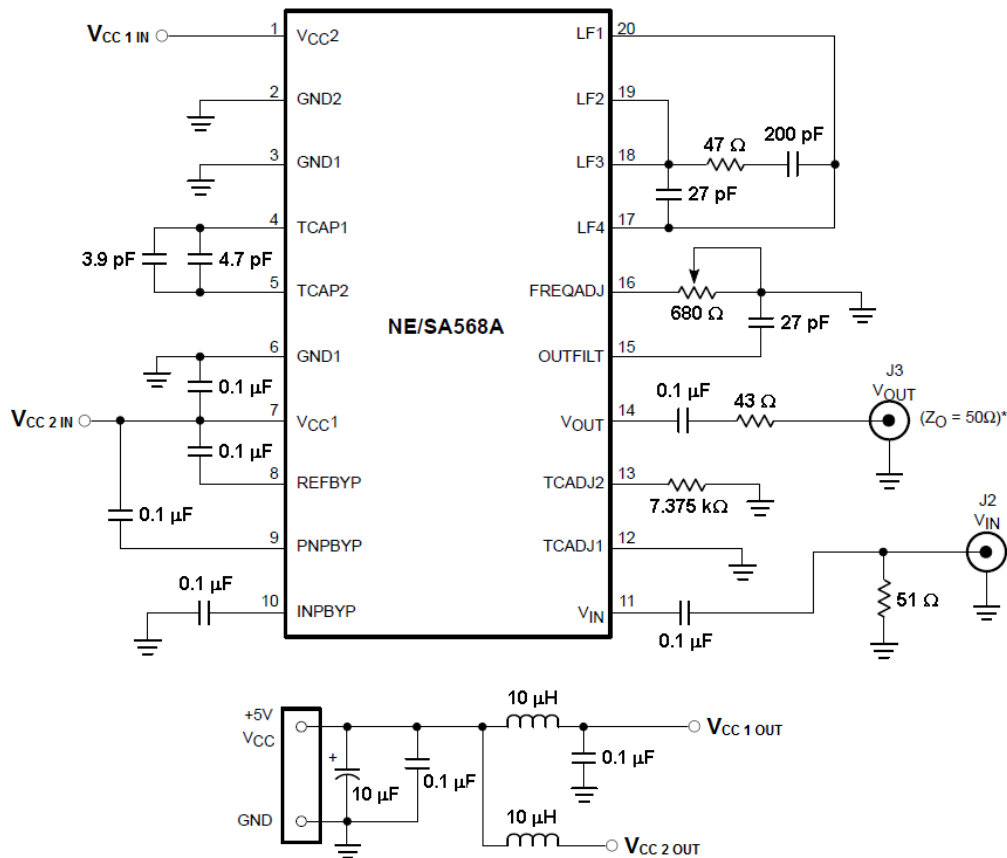


Figura 22. Circuito de la primera etapa del demodulador de 118 MHz [EP-35]

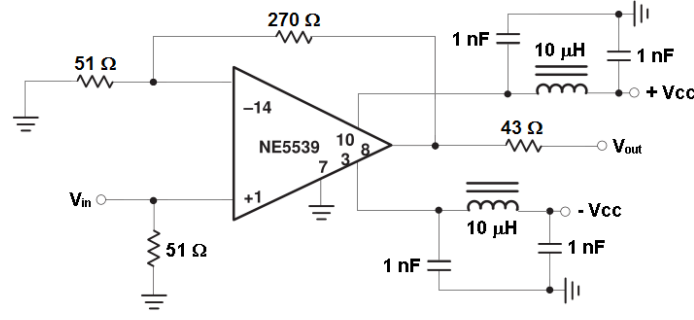


Figura 23. Circuito de la segunda etapa del demodulador de 118 MHz [EP-25-26]

3.1.3.2 Circuito conversor de señal ‘single-ended’ a diferencial

Este circuito convierte una única señal a dos señales complementarias. Posee, por tanto, una entrada y dos salidas, una de las cuales proporciona una copia de la señal de entrada y la otra su versión negada en modo TTL. Es decir, las dos salidas del conversor son las equivalencias de las señales D^+ y D^- del estándar USB [8]. La implementación fue llevada a cabo con un buffer 74HC4050 [32] y un negador SN74LS04 [33] lógicos. El esquema es el siguiente:

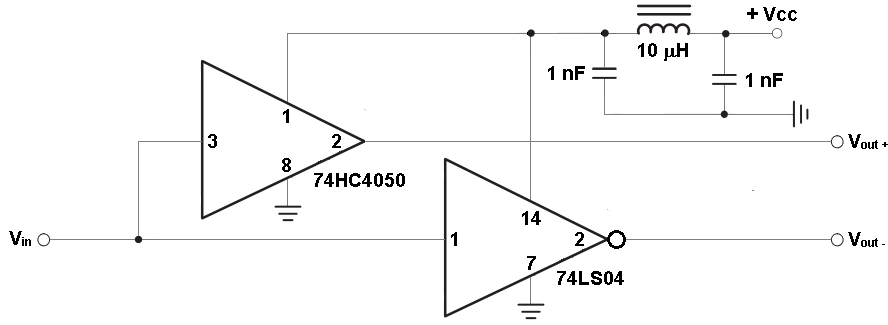


Figura 24. Conversor de señal ‘single-ended’ a diferencial [EP-32-33]

El análisis del circuito y las especificaciones de ambos componentes se pueden encontrar en los anexos A/VII, B/VI y B/VII. La alimentación del mismo es de 5V.

El ancho de banda máximo de la señal de entrada se obtiene a partir de los tiempos de subida y bajada mínimos permitidos para ambos integrados. En el caso del buffer 74HC4050, los dos parámetros coinciden y su valor es de 7 nseg, por lo que el BW_{max} sería:

$$BW_{max_1} = \frac{0.35}{t_{max}} = \frac{0.35}{7 \times 10^{-9}} = 50 \text{ MHz [28]}$$

En cuanto al negador SN74LS04, los tiempos de subida y de bajada mínimos son de 9 y 10 nseg, respectivamente y, al ser distintos, se elige el mayor de ellos por ser el más restrictivo. Luego:

$$BW_{max_2} = \frac{0.35}{t_{max}} = \frac{0.35}{10 \times 10^{-9}} = 35 \text{ MHz [28]}$$

El ancho de banda final es el más pequeño de los dos obtenidos. Es decir, 35 MHz.

En la red de alimentación del módulo se ha utilizado un filtro LC, como en los casos anteriores, y sólo se ha usado uno porque la alimentación no es simétrica.

3.1.4 MÓDULO DE CONMUTACIÓN

3.1.4.1 Circuito conmutador

El conmutador habilita o deshabilita la transmisión o la recepción de datos. El circuito ha sido implementado con un conmutador electrónico bidireccional de alta velocidad DG403DJ [34]. El análisis del circuito y las especificaciones del componente se pueden consultar en los anexos A/VIII y B/VIII.

El esquema del circuito conmutador es:

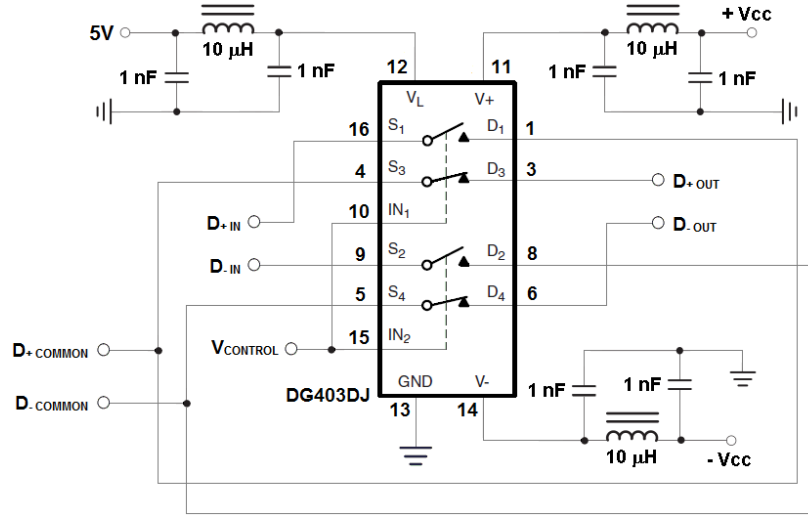


Figura 25. Circuito conmutador TX-RX [EP-34]

En cuanto al funcionamiento, en estado de reposo el conmutador conecta los interfaces D^+_{COMMON} y D^-_{COMMON} con la entrada del conversor de señal diferencial a ‘single-ended’ (D^+_{OUT} y D^-_{OUT}), manteniendo así el estado de transmisión. Pero si la tensión de control $V_{CONTROL}$ es distinta de cero, los interfaces comunes se enlazan con la salida del conversor de señal ‘single-ended’ a diferencial (D^+_{IN} y D^-_{IN}), habilitándose así la recepción.

La frecuencia de conmutación máxima de este integrado depende del mayor de todos los tiempos que lo caracterizan, que en este caso es el retardo de puesta en cortocircuito, cuyo valor es de 75 nseg. Luego:

$$f_{max} = \frac{1}{t_{retardo_max}} = \frac{1}{75 \times 10^{-9}} \approx 13.33 \text{ MHz [34]}$$

$V_{CONTROL}$ es el valor medio de la señal de datos, que se obtiene haciendo uso de un filtro paso-bajo al que le sigue un amplificador no inversor, que se encarga de eliminar el efecto de carga que crea el filtro y amplificar la salida de éste. La idea de usar la señal de datos filtrada para activar el conmutador viene de sus tiempos de retardo, pues el componente no conmuta inmediatamente tras un cambio de tensión en el pin de control. Así pues, si la señal de control tiene varios pulsos consecutivos, la idea es que el conmutador mantenga su estado activo durante toda la duración de la misma, y si los pulsos se encuentran muy separados en tiempo, el circuito también debe conmutar.

3.1.4.2 Circuito activador del conmutador

Este circuito transforma la salida del demodulador en una señal continua, por medio de un filtro paso-bajo RC de primer orden [31] y un amplificador no inversor, construido con un A.O. de propósito general OP90 [30]. Dicho amplificador tiene dos funciones: suprimir el efecto de carga del filtro, haciendo que la impedancia de salida del circuito sea la suya propia, y amplificar la salida del filtro hasta el punto en el que su amplitud sea suficiente para activar el conmutador. El completo análisis del circuito y los datos del A.O. se encuentran en los anexos A/IX y B/IX.

En cuanto a la frecuencia de corte del filtro, ésta debe ser mucho menor que la frecuencia de la señal de entrada, que en este caso se denomina fundamental, dada la naturaleza de dicha señal [27]. El punto de partida ha sido la tasa de bit máxima de los dispositivos USB *low-speed*, convertida a frecuencia con una eficiencia de 1 bit/Hz. Es decir, 1.5 MHz. Tras varias pruebas se ha obtenido un valor de 1.5 kHz como frecuencia de corte óptima, estando éste un orden de magnitud por debajo de los 1.5 MHz.

En lo concerniente al amplificador no inversor, su ganancia [26] se ha calculado acorde a la suposición de que la señal entrante al filtro paso-bajo tiene 2.5 V de amplitud de pico, generando de esta forma una salida continua de 1.25 V. Así, un valor de 3 V/V de ganancia es lo bastante adecuado para el caso, pues el amplificador proporcionaría una tensión constante de salida de 3.75 V, suficientes para activar el conmutador. Por otra parte, gracias al limitado ancho de banda del A.O. (2 kHz para un ΔV de entrada de 2.5 V), se suprimiría el posible rizado de la señal proveniente del filtro, asegurando así un funcionamiento óptimo del circuito. El esquema del mismo es el que sigue:

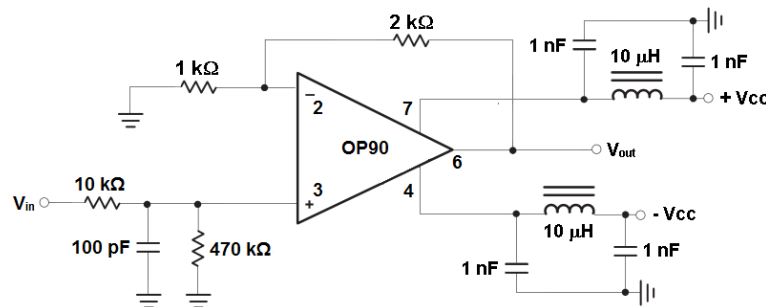


Figura 26. Circuito activador del conmutador [EP-26-30-31]

3.1.5 MÓDULO RF

Tal y como se puede apreciar en el diagrama de bloques de la figura 15 del apartado 2.2.1, se ha decidido utilizar dos antenas, una de las cuales es receptora y la otra transmisora. Aún operando el modulador y el demodulador a dos frecuencias distintas y no simultáneamente, ambas antenas han sido aisladas, mediante un circuito tanque LC pasivo [38] ubicado entre la antena receptora y el demodulador, que evita un posible malfuncionamiento en el circuito contrario. La frecuencia de resonancia del filtro LC son los 118 MHz del demodulador. En cuanto a las antenas, las dos son, en cada caso, un dipolo pasivo extensible DX-RH-795 [37], de longitud $\frac{1}{4} \lambda$, diseñado para trabajar entre los 70 y los 300 MHz. Las características de esta antena se encuentran en el anexo B/XI.

La potencia de transmisión del modulador de este transceptor es de 2.6895 dBm (véase anexo A/XI). La sensibilidad del demodulador del otro extremo de -20 dBm. Tras haber realizado un balance de enlace, se ha determinado una distancia máxima de separación entre los dos dispositivos de 3.87 m, en tanto que las pruebas empíricas dan como resultado una separación máxima de aproximadamente 1 m.

El análisis completo del circuito LC se halla en el anexo A/X y su esquema se expone a continuación:

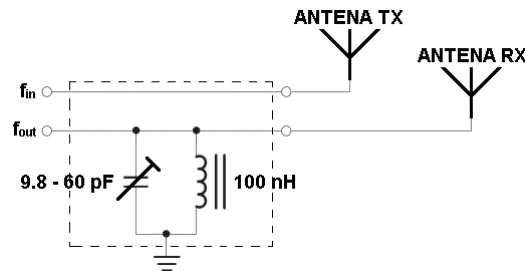


Figura 27. Módulo RF del transceptor local [EP-38]

3.2 TRANSCEPTOR REMOTO

3.2.1 MÓDULO DE LA SEÑAL PILOTO

3.2.1.1 Circuito detector de velocidad

Las cuatro *señales piloto* que se utilizan en este sistema son generadas por un conversor paralelo-serie MC145026 y se interpretan por un conversor serie-paralelo MC145027 [22]. Es decir, cuando un periférico USB diseñado para funcionar con el estándar 1.1 se conecta o se desconecta del interfaz del transceptor remoto, el conversor paralelo-serie debe generar la *señal piloto* correspondiente.

Tras varios intentos infructuosos de generar dichas señales de forma automática, se ha optado por el uso de un conmutador mecánico doble de tres posiciones para cada modo de funcionamiento: *full-speed*, *low-speed* [8] y dispositivo desconectado. El análisis del circuito y las especificaciones técnicas pertinentes se encuentran en los anexos A/I, A/III y B/III. El diseño final se expone en la siguiente figura:

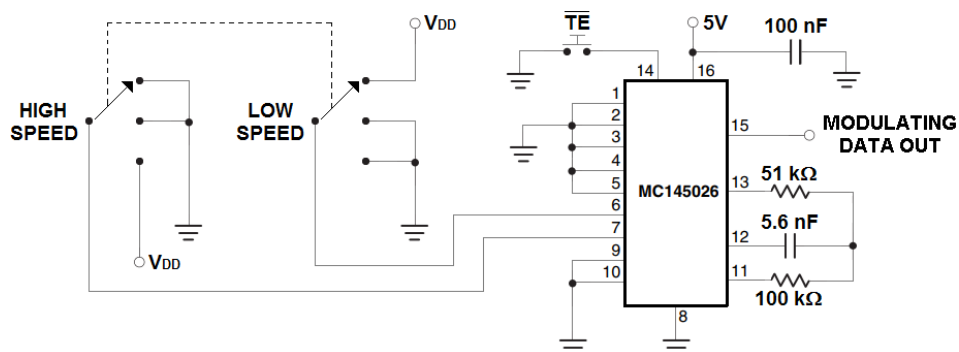


Figura 28. Circuito generador de las señales piloto [EP-22]

3.2.1.2 Circuito modulador de la señal piloto

El modulador es el complementario del demodulador de 433 MHz [23], presente en el transceptor local. Los datos técnicos se encuentran en los anexos A/II y B/IV.

El esquema de las conexiones externas es:

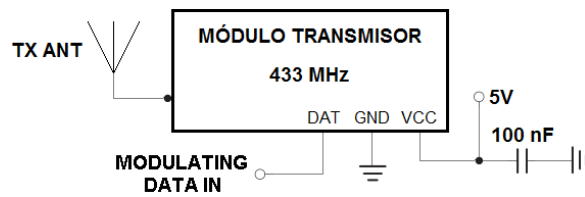


Figura 29. Circuito modulador de las señales piloto [EP-23]

3.2.2 MÓDULO DE TRANSMISIÓN DE DATOS

3.2.2.1 Circuito conversor de señal diferencial a 'single-ended'

La finalidad de éste circuito, su esquema y los componentes utilizados para construirlo, son exactamente iguales a los del circuito del apartado 3.1.2.1.

3.2.2.2 Circuito modulador

La frecuencia de operación del modulador del transceptor remoto es de 118 MHz, por lo que sólo difieren los valores de aquellos componentes, de los que ésta depende. El diseño principal es similar al del circuito del apartado 3.1.2.2.

El esquema del circuito es:

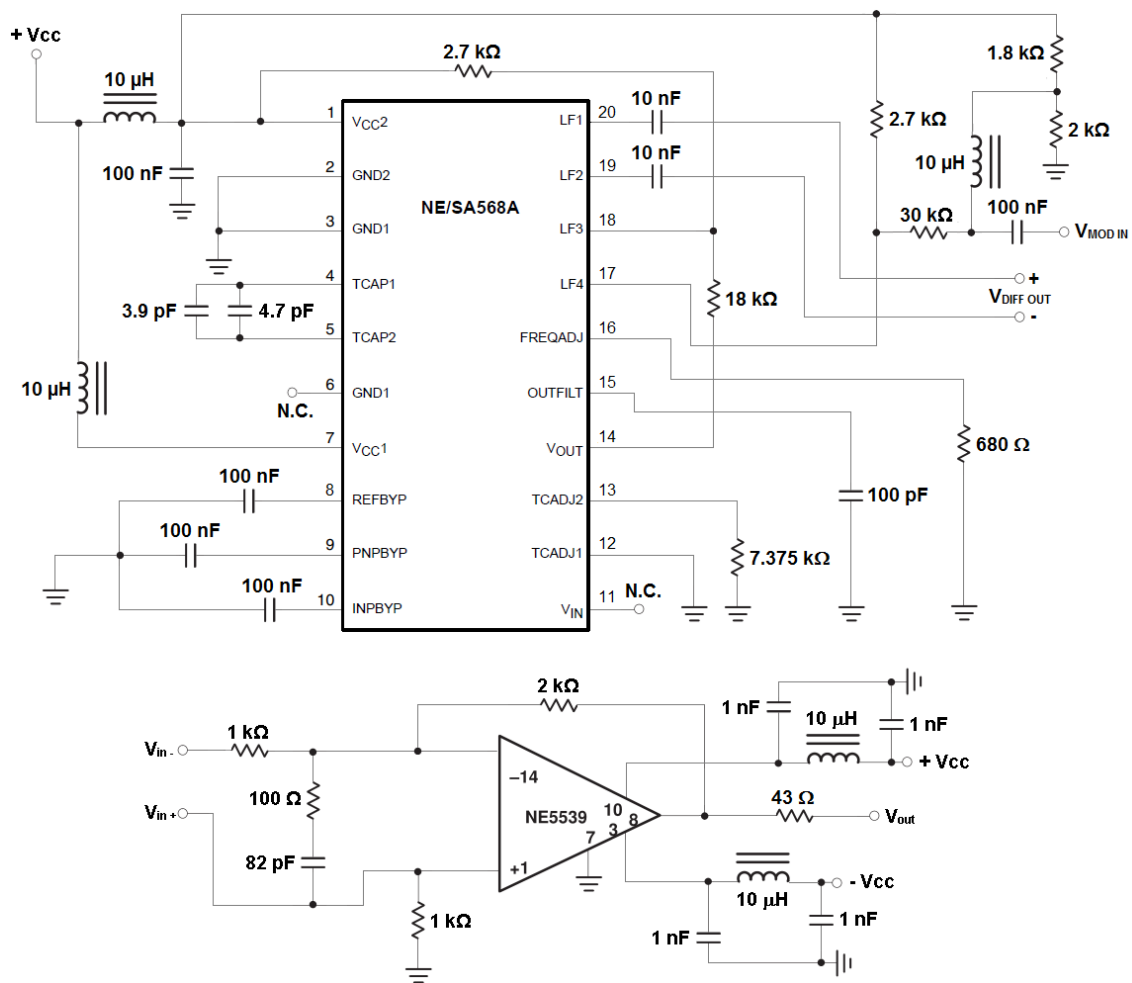


Figura 30. Circuito modulador de 118 MHz [EP-36]

3.2.3 MÓDULO DE RECEPCIÓN DE DATOS

3.2.3.1 Circuito demodulador

La frecuencia de trabajo del demodulador del transceptor remoto es de 138 MHz y, al igual que en el apartado anterior, sólo difieren los valores de los componentes de los que depende dicha frecuencia. Así pues, el diseño del circuito es similar al del apartado 3.1.3.1.

El esquema completo del demodulador se contempla en la figura que sigue:

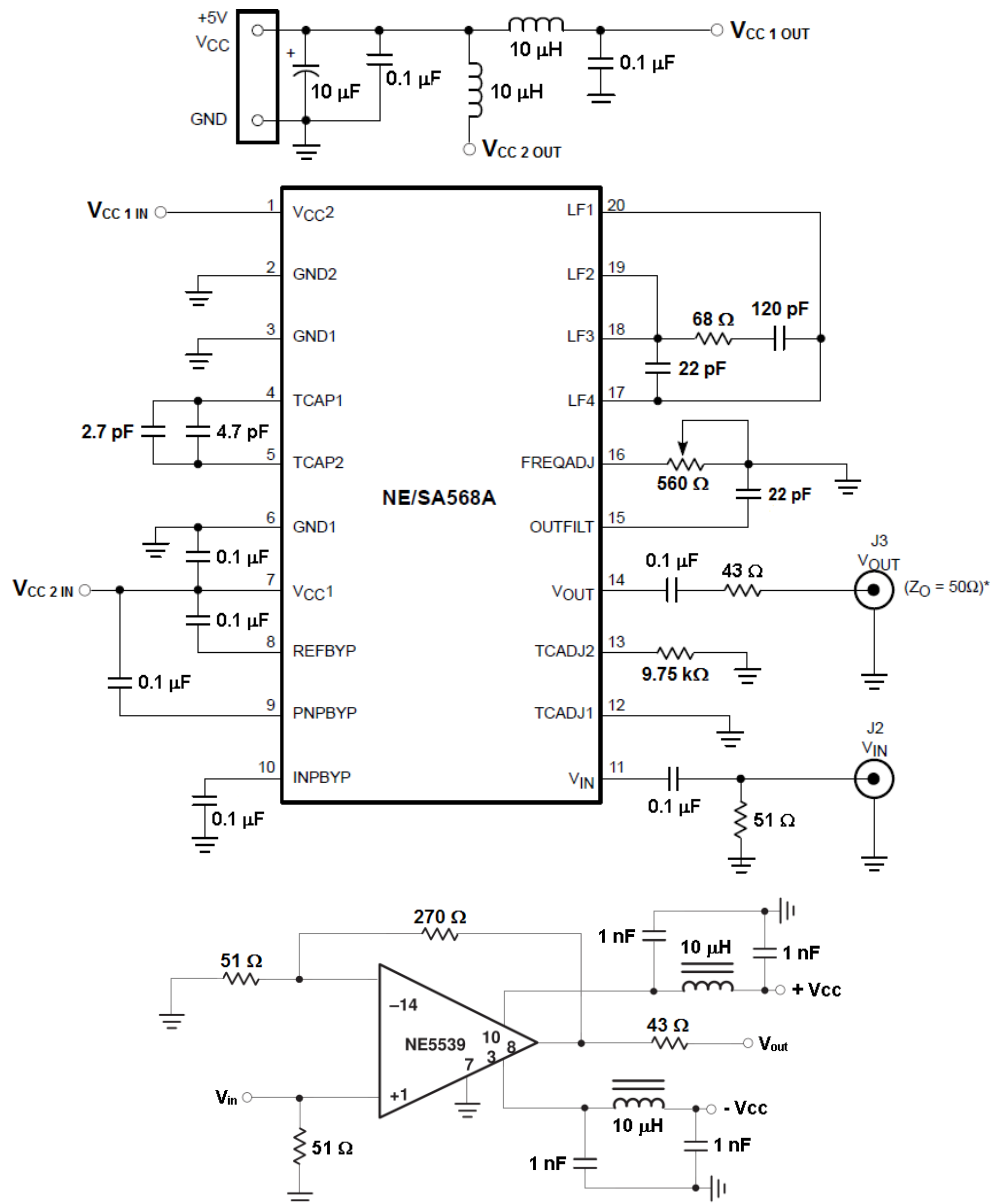


Figura 31. Circuito del demodulador de 138 MHz [EP-25-26-35]

3.2.3.2 Circuito conversor de señal 'single-ended' a diferencial

El uso que se le da a este circuito, los componentes empleados en su construcción y su esquema eléctrico, son idénticos a los del circuito del apartado 3.1.3.2.

3.2.4 MÓDULO DE CONMUTACIÓN

3.2.4.1 Circuito conmutador

Mientras que en el transceptor local las líneas de datos D^- y D^+ están conectadas a dos resistores *pull-up* de 1.5 k Ω , polarizándose sólo una de ellas en función de la velocidad máxima del periférico, en el transceptor remoto esas líneas están permanentemente conectadas a dos resistores *pull-down* de 15 k Ω , que derivan a tierra [8]. Es decir, en el primer caso se está simulando la parte derecha del diagrama de bloques de las figuras 6 y 7 del apartado 1.2.8, mientras que en el segundo caso se simula su parte izquierda.

El esquema del circuito, pues, queda de la siguiente forma:

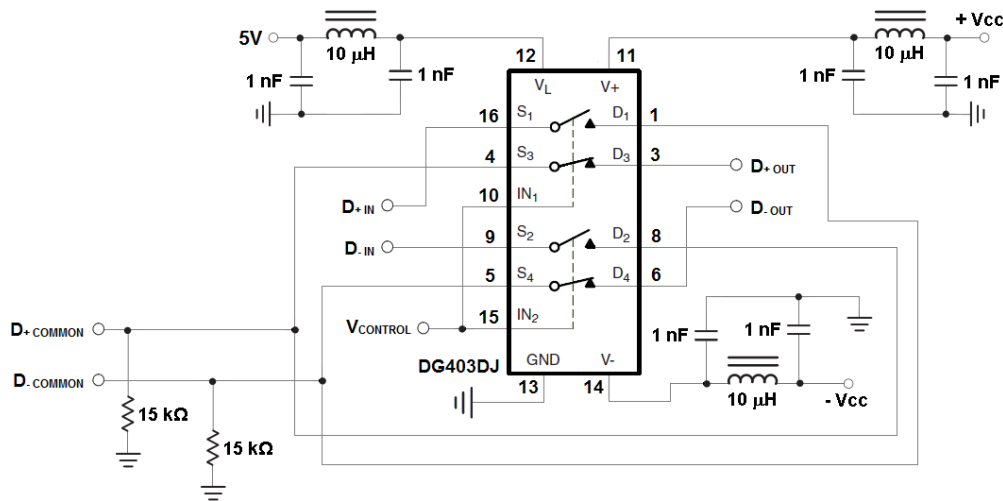


Figura 32. Circuito conmutador TX-RX [EP-8-34]

3.2.4.2 Circuito activador del conmutador

A pesar de ser el conmutador del transceptor remoto ligeramente distinto al del local, su circuito de activación sigue siendo idéntico al del apartado 3.1.4.2.

3.2.5 MÓDULO RF

Las características del módulo de antena y de las dos antenas utilizadas son similares al transceptor local, excepto que la frecuencia de resonancia del filtro LC aquí es de 138 MHz. Los componentes utilizados para la construcción del circuito son los mismos que para el del apartado 3.1.5.

La potencia de transmisión del modulador de este transceptor es de 0.7313 dBm (véase anexo A/XI), siendo la sensibilidad del circuito complementario de -20 dBm. Tras haber realizado un balance de enlace, contemplando únicamente las pérdidas del trayecto y la presencia de rayo directo, la distancia máxima de separación entre los dos dispositivos es de 3.61 m y es de notar que el valor obtenido es menor al calculado para el transceptor local. Sin embargo, las pruebas empíricas limitan la distancia máxima a algo menos de 1 m, por lo que esa es la única separación máxima a tener en cuenta a la hora de utilizar el sistema.

CAPÍTULO IV: MEDICIONES Y CARACTERIZACIÓN DE LOS BLOQUES

En este apartado se llevará a cabo un análisis visual de las señales de entrada y salida de cada una de las secciones que conforman el sistema de comunicaciones, utilizando para ello fotografías realizadas a las pantallas de los equipos de medición.

4.1 DEMOSTRACIÓN DEL FUNCIONAMIENTO DE CADA BLOQUE

4.1.1 Circuito conversor de señal diferencial a 'single-ended'

Las dos señales de entrada al circuito provienen de un generador de funciones y están desfasadas 180° entre sí. Las frecuencias de prueba han sido las dos equivalencias de las velocidades del estándar USB 1.1, es decir, 1.5 y 12 MHz [8]. Se ha asumido una eficiencia de 1 bit/Hz. La amplitud de pico de ambas señales era de 2.5 V. En las dos imágenes siguientes se pueden observar las salidas referentes a cada entrada:

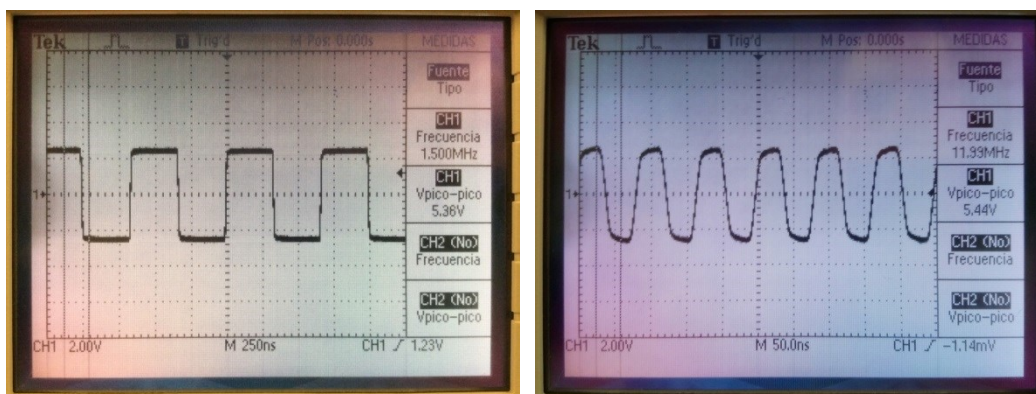


Figura 33. Salidas de 1.5 y 12 MHz del conversor de señal diferencial a 'single-ended' [EP]

Se aprecia que el amplificador diferencial realiza correctamente la operación resta y la amplitud de la señal de salida es aproximadamente el doble que la de las dos señales de entrada, aunque en el caso de los 12 MHz, la forma de la señal no es exactamente la misma. Esto se debe al ancho de banda [27] del operacional.

4.1.2 Circuito conversor de señal 'single-ended' a diferencial

Las frecuencias de prueba y la amplitud de la señal de entrada al circuito son iguales a las del apartado anterior. Gráficamente, se tiene lo siguiente:

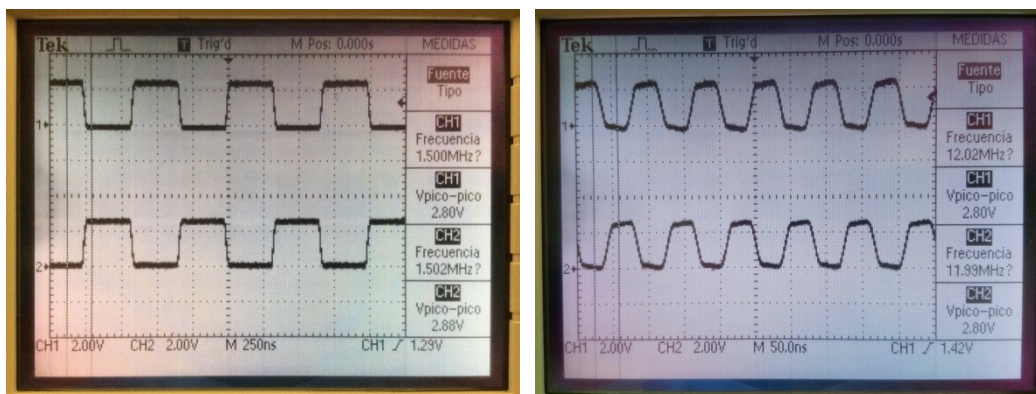


Figura 34. Salidas de 1.5 y 12 MHz del conversor de señal 'single-ended' a diferencial [EP]

Es de notar que el convertor devuelve a su salida, por un lado, una copia de la señal de entrada y, por el otro, la versión negada de ésta en modo *TTL*, por lo que puede decirse que las dos señales tienen un desfase de 180° . La amplitud de pico de la salida del inversor es ligeramente mayor a la de la salida del seguidor, pues las impedancias de salida de los dos integrados son distintas. En el caso de los 12 MHz la situación es similar al caso anterior [29], aunque la señal es perfectamente reconocible.

4.1.3 Circuito modulador de 118 MHz

En primer lugar se procederá a analizar la señal de salida del circuito de polarización del modulador. Si la entrada oscila entre los -2.5 y los 2.5 V, la salida tendría que oscilar entre los 4.3795 y los 4.7945 V, de acuerdo al anexo A/V:

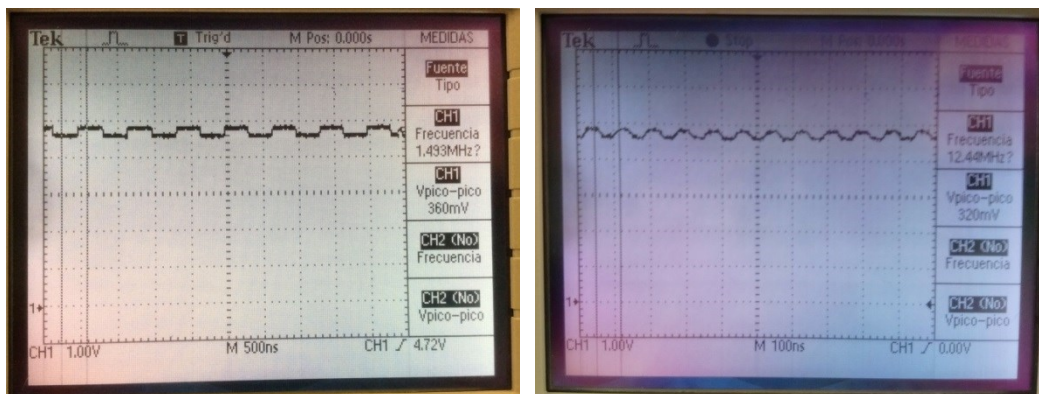


Figura 35. Salidas de 1.5 y 12 MHz del circuito de polarización del modulador [EP]

Atendiendo a los dos valores teóricos de arriba, la amplitud pico-a-pico de la señal saliente tendría que ser de 415 mV, mientras que la amplitud medida es de 360 mV para los 1.5 MHz y 320 mV para los 12 MHz. A pesar de ello, ambos valores no se distancian demasiado del teórico.

En cuanto al propio modulador, la prueba de funcionamiento fue llevada a cabo en ausencia de cualquier señal a la entrada del circuito de polarización. De este modo, la salida diferencial del modulador y la salida 'single-ended' del amplificador eran de frecuencia constante, como se puede observar en las figuras de a continuación:

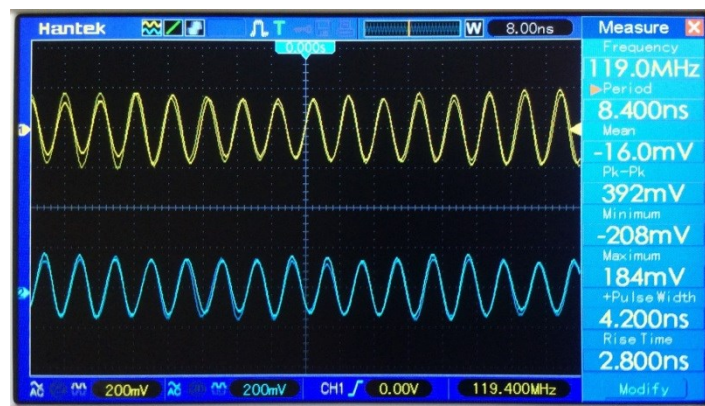


Figura 36. Salida diferencial del modulador de 118 MHz [EP]

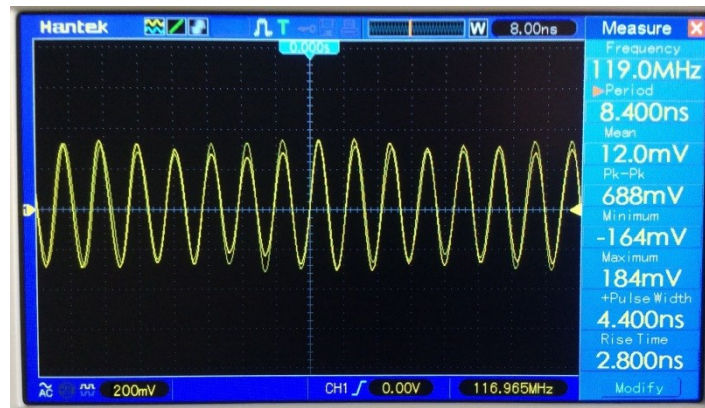


Figura 37. Salida 'single-ended' del modulador de 118 MHz [EP]

La salida diferencial tiene una amplitud media pico-a-pico de 392 mV. La salida del amplificador, en cambio, tiene una amplitud algo menor al doble de la media de las señales de entrada. La distorsión en amplitud se debe a las magnitudes parásitas de los componentes utilizados en la construcción del circuito. El fabricante aconseja la utilización de componentes *SMD* (*Surface-Mount Device*) [35]. Con el uso de los primeros, el valor más cercano a la frecuencia deseada de salida ha sido de 119 MHz.

4.1.4 Circuito modulador de 138 MHz

Las tres señales generadas por el circuito se pueden ver en las imágenes siguientes:



Figura 38. Salida diferencial y salida 'single-ended' del modulador de 138 MHz [EP]

La amplitud media de pico-a-pico para esta frecuencia es algo mayor a la que se ha obtenido con el otro modulador, aunque en este caso la salida diferencial presenta

también una distorsión de amplitud más notable, pero sin exceder los 50 mV de pico. La amplitud de la salida del amplificador sigue siendo aproximadamente el doble de la media de las entradas.

La entrada y la salida del circuito de polarización de este modulador son idénticas a las del apartado anterior, ya que el esquema no cambia.

4.1.5 Circuito activador del conmutador

Para verificar el correcto funcionamiento de este circuito, han sido inyectadas señales de varias frecuencias a la entrada del mismo. La primera de ellas estaba tres órdenes de magnitud por debajo de la de corte del filtro y por debajo de la máxima frecuencia tratable por el operacional. Su valor fue de 1.5 kHz. La amplitud de las señales de prueba se ha mantenido constante e igual a 2.5 V de pico durante todo el experimento.

Los resultados en tiempo se exponen en las figuras de a continuación:

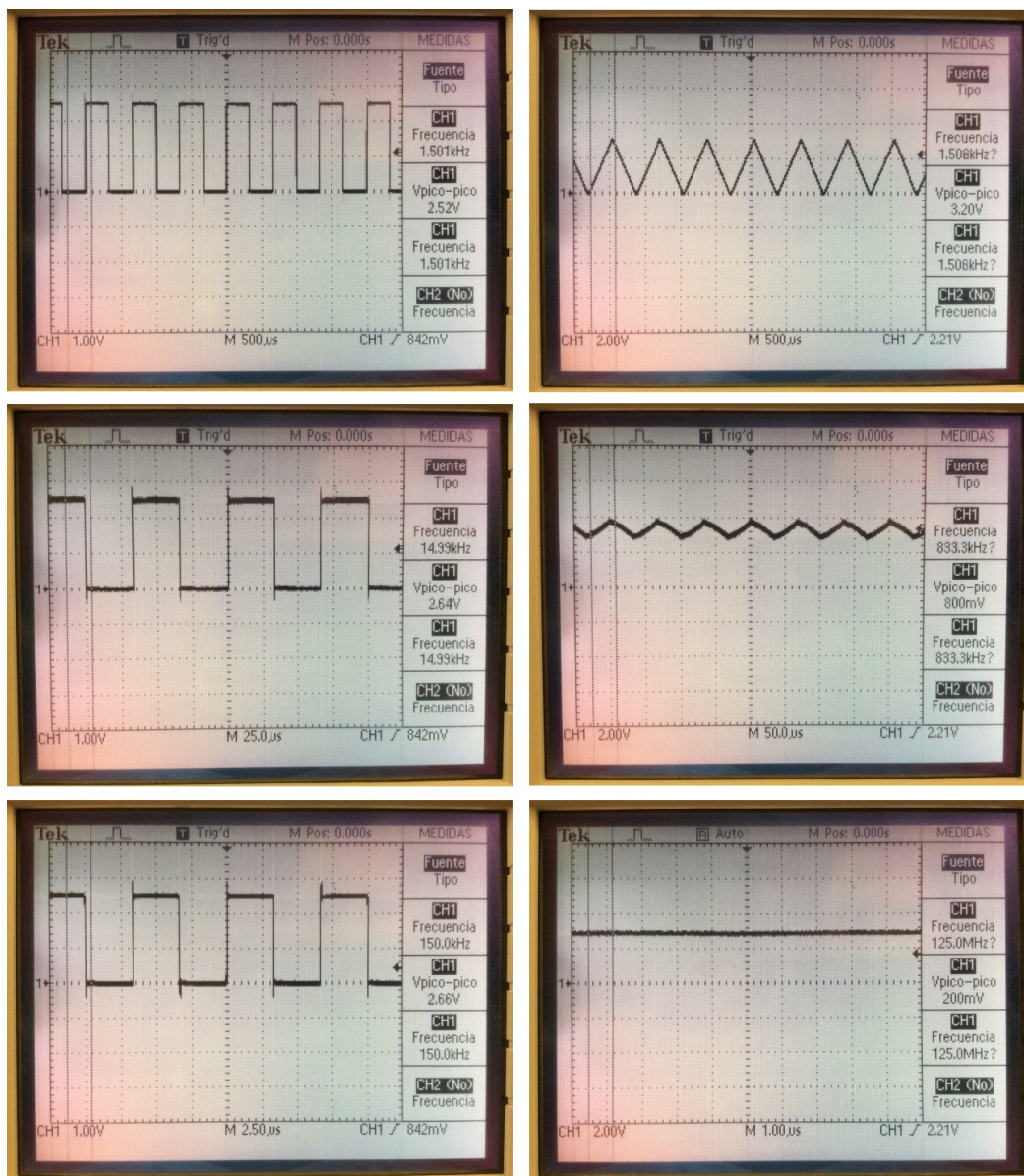


Figura 39. Entradas y salidas de 1.5, 15 y 150 kHz del activador del conmutador [EP]

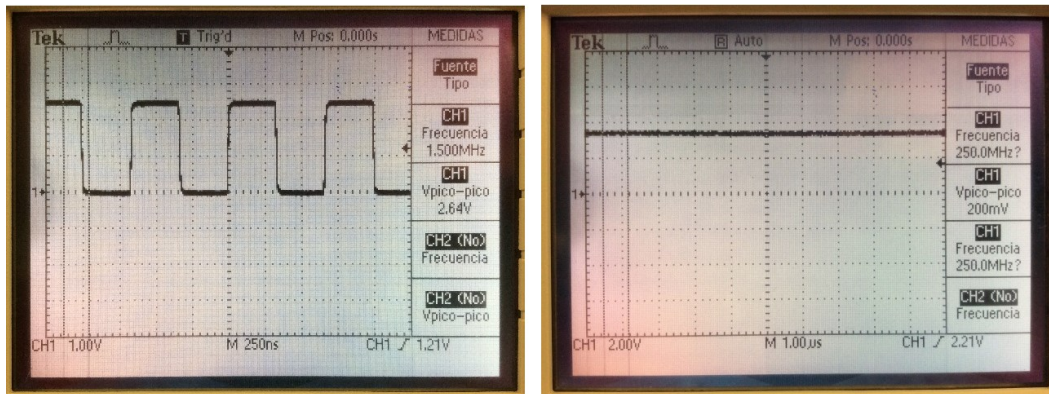


Figura 40. Entrada y salida de 1.5 MHz del activador del conmutador [EP]

El filtro empieza a proporcionar una salida de tensión constante (aproximadamente 2.5 V) para una frecuencia igual a la de corte (150 kHz). Si la señal de entrada es de 1.5 MHz, el nivel de tensión a la salida es de 3.6 V. Ambos valores de tensión son suficientes para que el conmutador cambie de estado, por lo que no ha sido necesario realizar la comprobación del funcionamiento para los 12 MHz.

4.2 UNIONES DE BLOQUES

4.2.1 Conversor de señal diferencial a ‘single-ended’ – conversor de señal ‘single-ended’ a diferencial

La señal de entrada al primer conversor se ha obtenido desfasando 180° las dos salidas del generador de funciones. Los resultados han sido los siguientes:

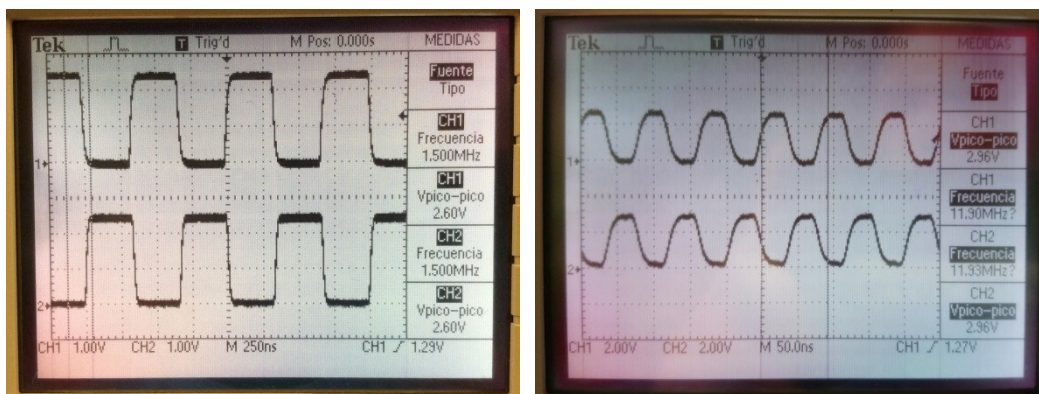


Figura 41. Salidas de 1.5 y 12 MHz de la unión del conversor de señal diferencial a ‘single-ended’ y su complementario [EP]

Los flancos de subida y bajada de las señales salientes del segundo conversor presentan formas más suaves en comparación con las señales entrantes, debido a los anchos de banda [29] de los circuitos integrados. Por otra parte, la señal de salida del primer conversor ha sido correctamente interpretada por el segundo, ya que los niveles de tensión negativos se han procesado como tensión nula, pues el segundo conversor opera en modo *TTL*. La diferencia entre las amplitudes es de tan solo 0.08 V. En el caso de los 12 MHz, se tiene la misma situación que en el apartado 4.1.2. No obstante, la forma de la señal sigue siendo perfectamente reconocible.

4.2.2 Modulador de 118 MHz – demodulador de 118 MHz

Para llevar a cabo esta prueba de funcionamiento, ambos circuitos han sido conectados directamente, utilizando una sección de cable coaxial lo más corta posible (10 cm). Los resultados se pueden contemplar a continuación:

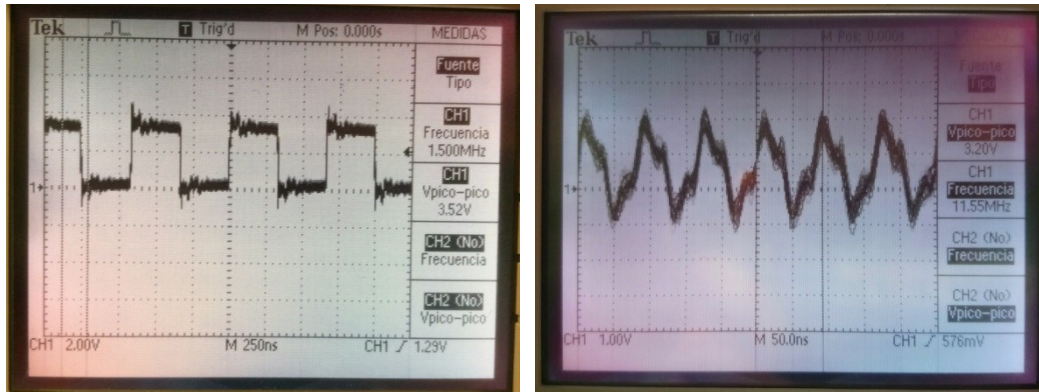


Figura 42. Salidas de 1.5 y 12 MHz del demodulador de 118 MHz [EP]

En el caso de los 1.5 MHz, las distorsiones en la señal de salida tienen como causas el ruido, la imprecisión de los componentes pasivos utilizados y la pequeña desadaptación que existe entre los dos circuitos. Esta desadaptación se debe en gran parte al uso de componentes resistivos, en lugar de reactivos, para conseguir una impedancia de 50 Ω . A pesar de ello, la señal se recupera bastante bien.

Por otra parte, en el caso de los 12 MHz, el circuito no es capaz de interpretar de un modo correcto esta frecuencia, puesto que se encuentra muy próxima al borde de la banda de trabajo del integrado, lo que supone que no todos los armónicos son tratados por igual. Es por ello, por lo que el resultado obtenido tiene un cierto parecido con una señal triangular, aunque distorsionada. A pesar de este hecho, tanto la frecuencia como la amplitud de la señal recuperada son aproximadamente iguales a las originales.

4.2.3 Modulador de 138 MHz – demodulador de 138 MHz

La prueba de funcionamiento se realizó del mismo modo que en el caso anterior. Los resultados obtenidos han sido los siguientes:

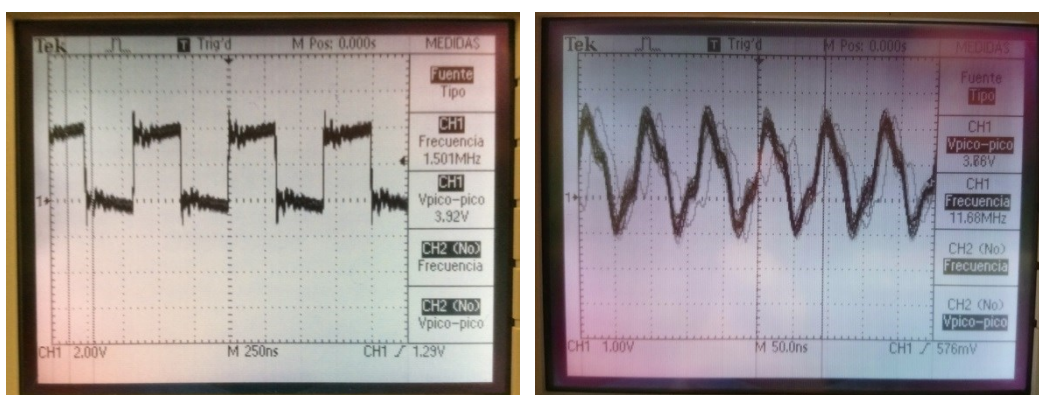


Figura 43. Salidas de 1.5 y 12 MHz del demodulador de 138 MHz [EP]

En las señales recuperadas se aprecian prácticamente el mismo tipo de distorsiones que en el caso anterior, salvo que la amplitud de las mismas es ligeramente mayor.

4.3 INTEGRACIÓN

4.3.1 Conversor de señal diferencial a 'single-ended' – conmutador – modulador – demodulador – conversor de señal 'single-ended' a diferencial – conmutador

En este caso, el modulador y el demodulador han sido conectados a sus respectivos módulos RF y, tras varias pruebas de recepción, se ha determinado una distancia máxima de separación de aproximadamente 1 m, en línea de vista directa y las antenas totalmente extendidas. Los resultados han sido los siguientes:

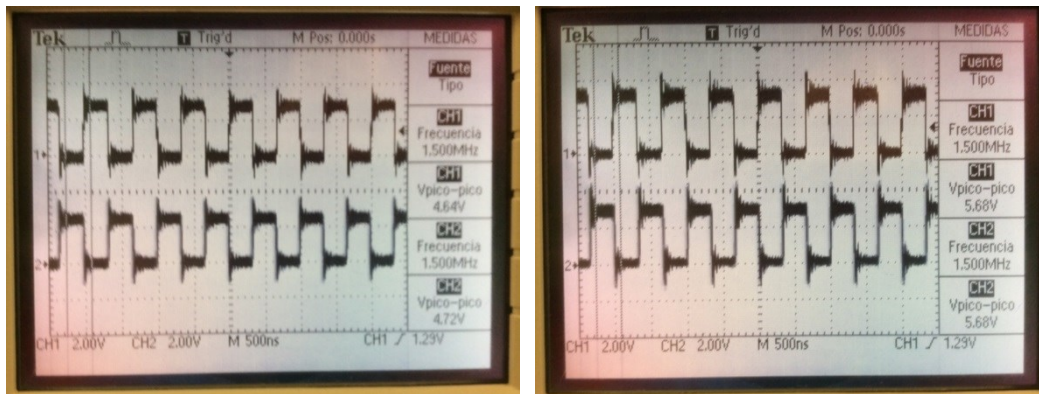


Figura 44. Salida diferencial de 1.5 MHz del demodulador de 118 MHz y del de 138 MHz [EP]

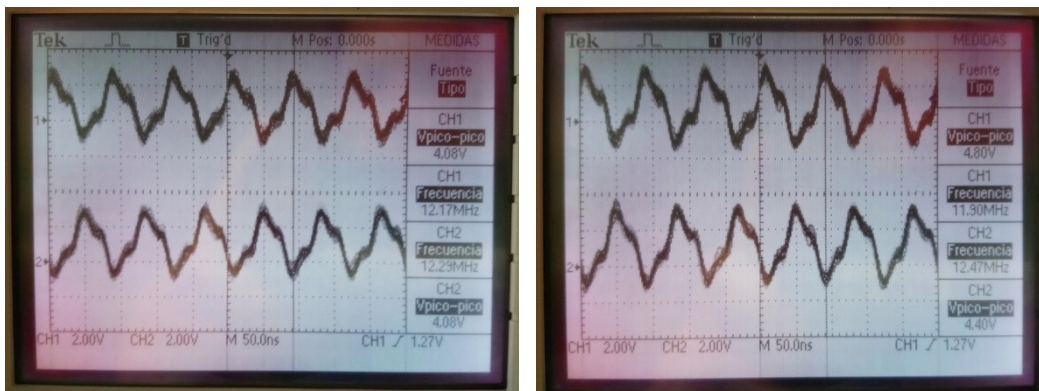


Figura 45. Salida diferencial de 12 MHz del demodulador de 118 MHz y del de 138 MHz [EP]

En el primer caso se puede observar el alto nivel de ruido en las señales recuperadas, aunque las formas de onda tienen un gran parecido a las originales. Los niveles de amplitud, sin embargo, son suficientes para que el conmutador cambie de estado y el sistema funcione.

En el segundo caso se tiene la misma situación a la de los apartados 4.2.2 y 4.2.3. La frecuencia recuperada sigue estando lo suficientemente cerca de los 12 MHz, como para afirmar que el sistema tiene un funcionamiento aceptable.

4.3.2 Establecimiento de un canal de comunicaciones entre un periférico diseñado con el estándar USB 1.1 y un ordenador

El periférico escogido para el experimento ha sido un teclado USB (*low-speed*) [8]. El canal que se crea entre ese dispositivo y el ordenador, después de haberse realizado el intercambio de los mensajes de control, es unidireccional, pues se efectúan únicamente

transferencias de interrupción (véase apartado 1.2.7). La imagen siguiente muestra uno de los bloques de datos enviados, habiendo sido monitoreada la línea D^- :

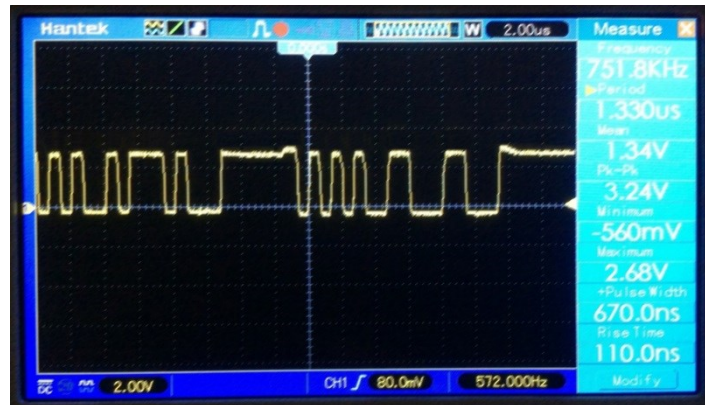


Figura 46. Bloque de datos enviado por el teclado USB al ordenador [EP]

Para iniciar el experimento, el transceptor local ha sido conectado a uno de los puertos USB del ordenador, mientras que el teclado USB se ha conectado al puerto del transceptor remoto. Después de haberse enviado la respectiva señal piloto, el resistor *pull-up* de la línea D^- del transceptor local quedó polarizado, tras lo cual el ordenador ha mandado el mensaje de control pertinente [8], siendo este un *Token Setup*. En las dos figuras siguientes se puede apreciar tanto el mensaje generado por el ordenador como el recuperado en el transceptor remoto:

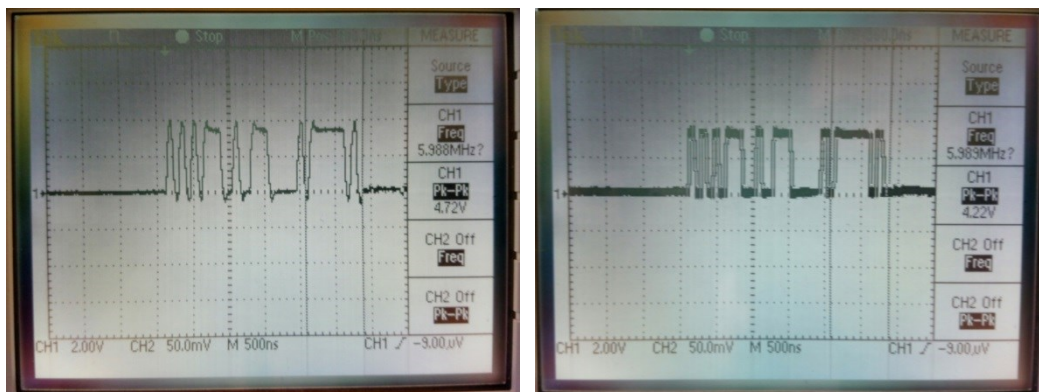


Figura 47. Mensaje de control enviado por el ordenador y el recuperado en el transceptor remoto [EP]

La duración aproximada del *Token Setup* es de 3 μ seg y dado que la frecuencia de corte de los filtros activadores de los conmutadores de ambos transceptores es de 150 kHz, un periodo de esta señal es mayor a la duración del *Token Setup*. Luego, sabiendo que en este caso el mensaje mencionado se ha transmitido desde el transceptor local al remoto, el conmutador activado ha sido el del transceptor remoto, habiendo permanecido en ese estado durante toda la duración del mismo.

Después de que el teclado USB ha recibido el mensaje de control del ordenador, dio comienzo la comunicación entre ambos. La forma eléctrica de los mensajes enviados por el teclado al ordenador es similar a la de la figura 46.

CAPÍTULO V: CONCLUSIONES Y TRABAJOS FUTUROS

5.1 CONCLUSIONES

Tras haber realizado el diseño, el montaje y la caracterización de este sistema de comunicaciones básico, se llevará a cabo un balance de los resultados y se extraerán las conclusiones pertinentes.

En primer lugar debe tenerse en cuenta el hecho de que el circuito del proyecto fue implementado sin utilizar la tecnología *SMD*, lo cual ha agravado los resultados en cuanto al nivel de ruido y la distorsión de las señales, que serían menores de haberse utilizado dicha tecnología. De hecho, los fabricantes de todos los circuitos integrados implicados en el diseño, aconsejan el uso de esta tecnología.

Por otra parte, dado que el circuito carece de sistemas de reconstrucción y predicción de señal, su buen funcionamiento está únicamente garantizado para el caso de presencia de línea de vista directa y una separación máxima entre ambos transceptores de, aproximadamente, 1 m, estando extendidas las antenas al máximo. Aumentando dicha separación, se ha podido comprobar que la amplitud de la señal recibida cae con el inverso del cuadrado de la distancia y, además, se distorsiona, aún a pesar del hecho de estar provisto cada demodulador de un circuito de sintonía.

Además de lo anterior, sabiendo que el procedimiento de conexión y desconexión del periférico USB es manual (enviando la señal piloto pertinente), la probabilidad de anular por error el canal de comunicaciones es muy alta, pues bastaría con extraer el dispositivo del puerto USB del transceptor remoto sin enviar antes la señal piloto necesaria, o también aumentar la distancia de separación entre los dos transceptores.

Por otro lado, ateniéndose al hecho de que los conmutadores cambian de estado cuando los respectivos demoduladores presentan una salida distinta de 0 y también que la modulación requiere un elevado ancho de banda, puesto que a la señal de datos no se le aplica codificación alguna, no se puede afirmar que este sistema funcione con los estándares USB posteriores al 1.1.

Por último, en cuanto a la alimentación del sistema, el hecho de necesitar una fuente simple de 5V y una fuente simétrica de $\pm 6V$ puede resultar bastante incómodo si se pretende reducir el tamaño total del circuito.

Como conclusión final, a partir de los resultados obtenidos durante las pruebas de funcionamiento de este proyecto, se ha corroborado su funcionamiento en cuanto a que se ha podido establecer un canal de comunicaciones *half-duplex* vía radio entre un dispositivo USB diseñado para el estándar 1.1 y un ordenador.

5.2 TRABAJOS FUTUROS

El presente proyecto constituye una mera prueba de concepto, pues el autor ha tratado de demostrar la posibilidad de idear y construir un sistema de comunicaciones básico, haciendo uso de los conocimientos adquiridos a lo largo de la carrera. No obstante, dado

que el sistema es analógico y funciona sólo bajo unas determinadas condiciones, el principal atractivo en un futuro cercano sería la utilización de componentes programables para la realización de tareas como la detección automática de dispositivo USB conectado o la activación de los conmutadores en función de la duración de la señal de datos recibida, en lugar de hacerle a ésta un filtrado.

Por otra parte, se podría reducir drásticamente el ancho de banda necesario para modular la señal de datos, utilizando técnicas de codificación y compresión apropiadas, además del uso de buffers.

Para los casos de ausencia de línea de vista directa, el receptor podría contar con un sistema de reconstrucción de señal, basado en la predicción de los símbolos.

Por último, en cuanto al tema de la alimentación, el circuito podría implementarse por completo con componentes que funcionen en modo *TTL*, lo cual simplificaría su diseño y reduciría el consumo total de energía.

CAPÍTULO VI: PRESUPUESTO Y PLANIFICACIÓN DE TAREAS

En primer lugar se expone el listado de todos los componentes electrónicos utilizados en la construcción del sistema de comunicaciones, adquiridos a través del vendedor en línea [Aliexpress](#) (acceso el 5/12/2017).

Tabla 1. Presupuesto general de los componentes utilizados [EP]

Referencia	Cantidad	Precio total
Resistores	63	2.36 €
Condensadores	106	3.92 €
Inductores	36	3.31 €
Potenciómetros multi-vuelta	8	3.66 €
Diodo LED (color rojo)	1	0.18 €
Conmutador doble de 3 posiciones	2	4.50 €
Módulo TX ASK de 433 MHz	1	1.24 €
Módulo RX ASK de 433 MHz	1	1.24 €
Componentes semiconductores	25	46.11 €
Antena tipo <i>Spring</i>	2	1.28 €
Antena DX-RH-795	4	35.84 €
Zócalos para los C.I.	20	2.82 €
Placas de circuito impreso	16	3.68 €
Placa protoboard 1660 puntos	1	7.87 €
Soldador eléctrico y estaño	1	10.24 €
TOTAL: 128.25 €		

A continuación, se expone la lista del material electrónico con el que han sido realizadas las pruebas de funcionamiento.

Tabla 2. Material electrónico utilizado para las pruebas de funcionamiento [EP]

Referencia	Precio inicial	Empleabilidad en tanto por uno	Dedicación en meses	Depreciación en meses	Coste imputable
Osciloscopio Tektronix TDS2000C	2290 €	100	4	60	152.67 €
Generador de señales Rigol DG4062	825.16 €	100	4	60	55.01 €

Referencia	Precio inicial	Empleabilidad en tanto por uno	Dedicación en meses	Depreciación en meses	Coste imputable
Fuente de alimentación PS-3000	325 €	100	4	60	5.42 €
Componentes y utensilios	128.25 €	-	-	-	128.25 €
Ordenador portátil Acer Aspire 7540G	750 €	100	11	60	137.50 €
Software de edición de circuitos Multisim	3368 €	100	1.5	60	84.20 €
TOTAL: 563.05 €					

Los precios de los equipos han sido consultados en los portales [Farnell](#), [Rigol](#), [Ditecom Design](#), [NotebookCheck](#) y [National Instruments](#). (acceso el 23/06/2018). La expresión para calcular el coste imputable es la siguiente:

$$\text{Coste imputable} = M/D \cdot C \cdot E \quad [41]$$

Dónde:

- M es el tiempo de uso del equipo, expresado en meses.
- D es el período de depreciación, que típicamente es de 60 meses [41].
- C es el precio inicial del equipo.
- E es la empleabilidad del equipo en tanto por uno.

La tabla final muestra los gastos de los ingenieros responsables de la realización del proyecto, de acuerdo al salario medio de un ingeniero de telecomunicaciones en España, publicado en el portal [Indeed](#) (acceso el 19/03/2018).

Tabla 3. Gastos del personal responsable [EP]

Nombre y apellidos	Categoría	Dedicación en horas	Bonificación salarial	Coste final
Yuliy Moreno Sanoyan	Ingeniero Junior	673	2.84 €/hora	1911.32 €
Harold Yesid Molina Bulla	Ingeniero Senior	25	4.26 €/hora	106.50 €

El presupuesto total del proyecto es, pues:

$$\text{Presupuesto total} = 563.05 + 1911.32 + 106.50 = 2580.87 \text{ €}$$

A continuación se mostrará la planificación de las tareas principales llevadas a cabo durante la realización de este proyecto, por medio de un diagrama de Gantt. La tabla que recoge dichas tareas, se expone a continuación:

Tabla 4. Lista de tareas [EP]

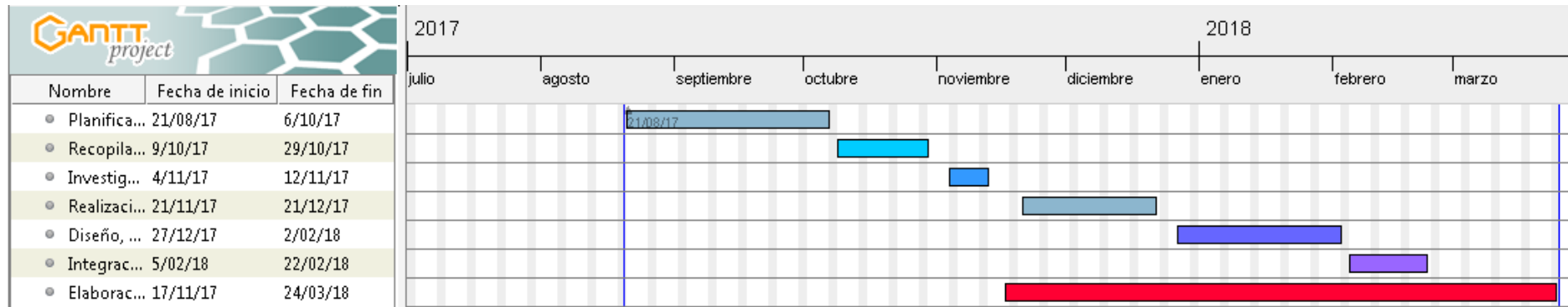
Tarea	Duración	Fecha de inicio	Fecha de final
Planificación del proyecto y búsqueda de objetivos	47 días	21/08/17	06/10/17
Recopilación bibliográfica sobre el protocolo USB	21 días	09/10/17	29/10/17
Investigación sobre el funcionamiento del protocolo USB	9 días	04/11/17	12/11/17
Realización del diseño modular del sistema de comunicaciones y elección de los circuitos integrados	31 días	21/11/17	21/12/17
Diseño, construcción y verificación del funcionamiento de cada módulo	38 días	27/12/17	02/02/18
Integración de los módulos	18 días	5/02/18	22/02/18
Elaboración de la memoria	128 días	17/11/17	24/03/18
Duración total: 214 días			

Cabe, además, destacar que durante el desarrollo del proyecto el autor y el tutor se han estado reuniendo de forma periódica para analizar el avance del mismo.

Por último, dado que se trata de una prueba de concepto, no es aplicable cualquier intento de llevar este proyecto al mercado, pues sus prestaciones son muy inferiores a las de dispositivos similares ya disponibles para el público. Por lo tanto, no se va a proponer ninguna planificación de tareas para el desarrollo comercial del mismo.

En la página siguiente se expone el diagrama de Gantt referente a las tareas expuestas en la tabla 4.

Figura 48. Diagrama de Gantt del proyecto [EP]



Los valores típicos de la corriente en el pin de ajuste I_{ADJ} y de la tensión de referencia V_{REF} son de 50 μ A y de 1.25V respectivamente. La expresión de la tensión de salida es:

$$V_O = V_{REF} \left(1 + \frac{R_2}{R_1} \right) + (I_{ADJ} \cdot R_2) \quad [22]$$

Se observa que el voltaje de salida depende sólo de la relación entre los resistores R_2 y R_1 y los valores de V_{REF} e I_{ADJ} , aunque la condición imprescindible es que la tensión de entrada debe superar al valor requerido en la salida [20]. Siguiendo la recomendación del fabricante, el valor del resistor R_1 es de 240 Ω . Para calcular el valor de R_2 , a fin de que el circuito pueda proporcionar los 3.3 V, se sustituye en la expresión de antes:

$$3.3 = 1.25 \left(1 + \frac{R_2}{240} \right) + (50 \times 10^{-6} \cdot R_2)$$

$$3.3 = 1.25 + 5.2083 \times 10^{-3} R_2 \rightarrow R_2 \approx 393.625 \Omega$$

El valor comercial más cercano al calculado es el de 390 Ω y da como resultado teórico una salida de unos 3.30075V.

La siguiente sección del módulo selector de velocidad son los dos conmutadores electrónicos, implementados cada uno con un optoacoplador PC817 [21], de montaje tipo DIP-4. El esquema básico del circuito es:

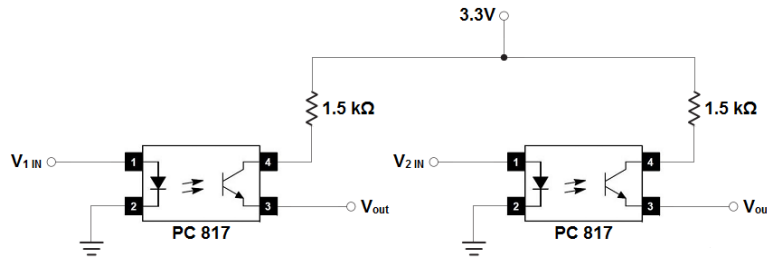


Figura 50. Circuito de los conmutadores electrónicos [EP-8-21]

Cuando el fototransistor interno está en saturación, se comporta como un circuito cerrado, ya que la corriente de colector es similar a la del emisor, por lo que es posible aplicar la ley de Ohm para analizar el circuito resultante. La tensión de saturación entre el colector y el emisor oscila entre los 0.1 y los 0.2 V, para una corriente de colector de 1 mA y una corriente de entrada al LED de 20 mA. La corriente de colector máxima oscila entre los 2.5 y los 30 mA, dependiendo del resistor de carga conectado al colector, viajando por el LED una corriente de 5 mA y habiendo una diferencia de potencial en la unión colector-emisor de 5V [21].

Para efectuar el análisis, se ha supuesto que el emisor del fototransistor está conectado a tierra, el diodo LED está polarizado y que el fototransistor está saturado. Luego:

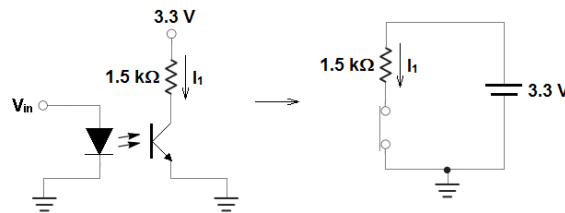


Figura 51. Circuito equivalente del conmutador electrónico en estado activo [EP-21]

Aplicando la ley de Ohm, se puede demostrar que el circuito está trabajando dentro del rango de funcionamiento seguro del componente:

$$V = I_1 \cdot R \rightarrow I_1 = \frac{3.3}{1500} = 2.2 \times 10^{-3} A$$

Las tensiones V_{1IN} y V_{2IN} de entrada a los dos optoacopladores (figura 16 del apartado 3.1.1.1) provienen del circuito de interpretación de las señales piloto, implementado con el convertor serie-paralelo MC145027 [22] y son constantes porque el resistor *pull-up* pertinente debe polarizar su respectiva línea de datos durante toda la duración del intercambio de éstos.

El bloque formado por el convertor paralelo-serie MC145026 y el convertor serie-paralelo MC145027 (ambos de montaje tipo DIP-16) se expone a continuación:

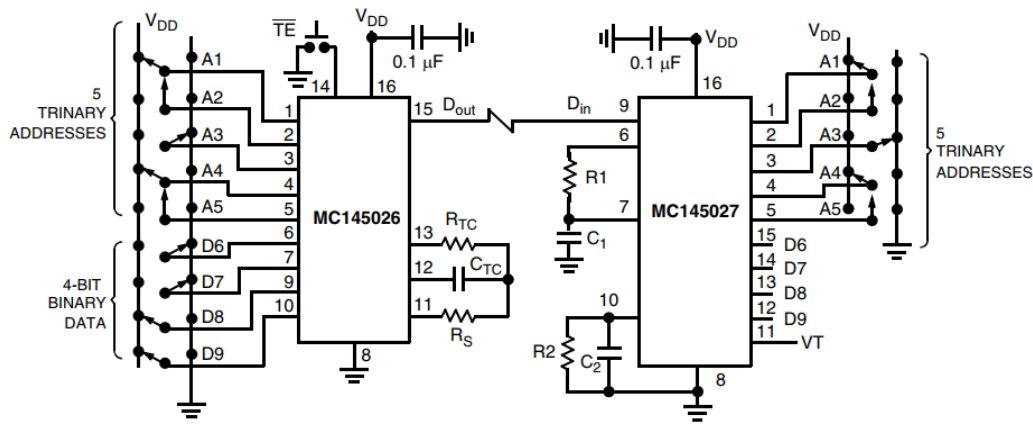


Figura 52. Circuito genérico del bloque convertor serie-paralelo – convertor paralelo-serie [22]

Las relaciones entre los valores de los componentes del diagrama anterior, los rangos de éstos y la expresión de la frecuencia de la señal de reloj, son:

$$f_{osc} = \frac{1}{2.3 R_{TC} C'_{TC}} ; R_1 C_1 = 3.95 R_{TC} C_{TC} ; R_2 C_2 = 77 R_{TC} C_{TC} [22]$$

$$C'_{TC} = C_{TC} + 20 pF ; R_S \approx 2 R_{TC} ; 1kHz \leq f_{osc} \leq 400 kHz [22]$$

$$100 pF \leq C_{TC} \leq 15 \mu F ; R_{TC} \geq 10 k\Omega ; R_1 \geq 10 k\Omega [22]$$

$$C_1 \geq 400 pF ; R_2 \geq 100 k\Omega ; C_2 \geq 700 pF [22]$$

Teniendo en cuenta el hecho de que el generador de las señales piloto se acciona de forma manual ante la inserción o la retirada del dispositivo USB, la frecuencia de la señal de reloj no tiene por qué ser elevada. Así pues, los valores escogidos para los componentes son:

$$R_1 = 51 k\Omega ; R_2 = 200 k\Omega ; C_1 = 22nF ; C_2 = 100 nF$$

$$R_{TC} = 51 k\Omega ; C_{TC} = 5.6 nF ; R_S = 100 k\Omega$$

La frecuencia de oscilación de la señal de reloj que se obtiene con estos valores es:

$$f_{osc} = \frac{1}{2.3 R_{TC} C'_{TC}} = \frac{1}{2.3 \cdot 51 \times 10^3 \cdot (5.6 \times 10^{-9} + 20 \times 10^{-12})} = 1516.93 Hz$$

En el circuito final, las líneas de dirección de ambos integrados se han conectado a tierra y en el MC145026 sólo se han utilizado dos de las cuatro líneas de datos, dejando las restantes en circuito abierto, pues la información a enviar es el tipo de dispositivo USB (alta velocidad o baja velocidad). El pin \overline{TE} ha sido conectado a un pulsador derivado a tierra y su estado por defecto es el de circuito abierto. En el MC145027, el pin VT ha sido conectado a un diodo LED con un resistor en serie, a modo de indicador de recepción de la señal piloto.

Debido a la utilización de sólo dos de las cuatro salidas de datos, las dos restantes se han conectado a una carga resistiva derivada a tierra (resistores R_{L1} y R_{L2}) para impedir que las corrientes de fuga dañen el circuito. Por otra parte, los resistores R_1 y R_2 limitan la corriente que activará el diodo LED del optoacoplador pertinente [21]. Por último, el resistor R_3 limita la corriente de entrada al diodo D_I . Los valores de estos componentes se han escogido de acuerdo a los datos técnicos de los integrados:

$$R_{L1} = R_{L2} = 10\text{ k}\Omega$$

63

A/II – Circuitos modulador y demodulador de las señales piloto

Se trata de dos módulos RF integrados, que operan a una frecuencia de 433.920 MHz [23]. La tarea del modulador es adaptar y transmitir las señales piloto, generadas por el conversor paralelo-serie MC145026, mientras que la tarea del demodulador es detectar y reconstruir estas señales, para que puedan ser interpretadas por el conversor serie-paralelo MC145027. Los esquemas de conexiones externas del demodulador y del modulador se encuentran en las figuras 18 y 29 de los apartados 3.1.1.2 y 3.2.1.2.

El modulador utiliza la modulación ASK (*Amplitude-shift keying*), que consiste en enviar una señal de una sola frecuencia, variando sus niveles de amplitud en función de la señal de entrada. La potencia de transmisión depende de la alimentación y su valor mínimo es de 15 mW. Por otra parte, en el demodulador los niveles de tensión de salida son de $\frac{1}{2} V_{CC}$ para el nivel bajo y $0.7 V_{CC}$ para el nivel alto de la señal. El rango de sensibilidad está entre los -116 y los -114 dBm. La distancia de transmisión teórica oscila entre los 40 y los 100 m, presuponiendo la existencia de línea de vista directa. Ambos módulos disponen de una antena tipo *Spring* (en forma de muelle), con una ganancia de 2 dBi.

A/III – Circuito generador de las señales piloto

El circuito ha sido implementado con el conversor paralelo-serie MC145026, acorde a las especificaciones del fabricante (véase anexo A/I). Las entradas no utilizadas (pines 9 y 10) se han conectado a tierra para evitar que las salidas no utilizadas del conversor serie-paralelo MC145027 cambien de estado, cuando éste reciba el flujo de datos [22]. El esquema final se puede ver en la figura 28 del apartado 3.2.1.1.

A/IV – Circuito conversor de señal diferencial a ‘single-ended’

El circuito devuelve a su salida la resta de las señales complementarias de entrada. Ha sido implementado con un amplificador operacional de alta frecuencia NE5539 en modo diferencial. El esquema eléctrico básico del circuito es:

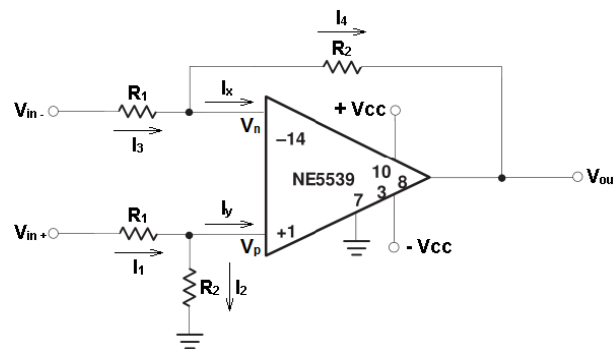


Figura 54. Circuito genérico del conversor de señal diferencial a ‘single-ended’ [EP-25]

Para realizar el análisis, se ha supuesto que el amplificador operacional es ideal, por lo que, aplicando el principio del cortocircuito virtual [26], queda lo siguiente:

$$V_p = V_n; I_x = 0; I_y = 0 \rightarrow I_1 = I_2; I_3 = I_4$$

Ahora ya se puede analizar el circuito:

$$\frac{V_{+in} - V_p}{R_1} = \frac{V_p - 0}{R_2} \rightarrow \frac{V_{+in} - V_p}{R_1} = \frac{V_p}{R_2} ; \frac{V_{-in} - V_n}{R_1} = \frac{V_n - V_{out}}{R_2}$$

Se despeja el V_p :

$$V_p = \frac{V_{+in} - V_p}{R_1} R_2 = \frac{R_2}{R_1} V_{+in} - \frac{R_2}{R_1} V_p$$

Luego:

$$\frac{R_2}{R_1} V_{+in} = \left(1 + \frac{R_2}{R_1}\right) V_p$$

$$V_p = \frac{\frac{R_2}{R_1} V_{+in}}{1 + \frac{R_2}{R_1}} = \frac{\frac{R_2}{R_1} V_{+in}}{\frac{R_1 + R_2}{R_1}} = \frac{V_{+in} R_2}{R_1} \cdot \frac{R_1}{R_1 + R_2} \rightarrow V_p = \frac{R_2}{R_1 + R_2} V_{+in}$$

Sabiendo que $V_p = V_n$, queda que:

$$\begin{aligned} \frac{V_{-in} - \frac{R_2}{R_1 + R_2} V_{+in}}{R_1} &= \frac{\frac{R_2}{R_1 + R_2} V_{+in} - V_{out}}{R_2} \rightarrow \frac{V_{-in}}{R_1} - \frac{R_2}{R_1} \frac{V_{+in}}{R_1 + R_2} = \frac{V_{+in}}{R_1 + R_2} - \frac{V_{out}}{R_2} \\ \frac{V_{out}}{R_2} &= \frac{V_{+in}}{R_1 + R_2} - \frac{V_{-in}}{R_1} + \frac{R_2}{R_1} \frac{V_{+in}}{R_1 + R_2} = \frac{V_{+in}}{R_1 + R_2} \left(1 + \frac{R_2}{R_1}\right) - \frac{V_{-in}}{R_1} \\ \frac{V_{out}}{R_2} &= \frac{V_{+in}}{R_1 + R_2} \cdot \frac{R_1 + R_2}{R_1} - \frac{V_{-in}}{R_1} = \frac{V_{+in}}{R_1} - \frac{V_{-in}}{R_1} = \frac{1}{R_1} (V_{+in} - V_{-in}) \end{aligned}$$

Por tanto:

$$V_{out} = \frac{R_2}{R_1} (V_{+in} - V_{-in})$$

Se observa que a la resta de las señales de entrada se le aplica un factor de escalado R_2/R_1 . El valor de ambos resistores es de 10 kΩ, garantizando así una ganancia unidad para el circuito. La tabla de verdad del conversor es:

Tabla 5. Tabla de verdad del conversor de señal diferencial a 'single-ended' [EP]

V_{IN}^+ (en voltios)	V_{IN}^- (en voltios)	V_{OUT} (en voltios)
0	V_{DD}	$-R_2/R_1 V_{DD}$
V_{DD}	0	$R_2/R_1 V_{DD}$
0	0	0
V_{DD}	V_{DD}	0

El integrado debe alimentarse de forma simétrica y el valor de la tensión de alimentación sugerido por el fabricante es de $\pm 6V$.

Para calcular el ancho de banda máximo de las señales de entrada, se ha de utilizar el parámetro *slew rate* [27] que para la alimentación dada es de 330 V/μseg. Lo primero que se obtiene a partir de ese parámetro es el tiempo máximo de variación. Luego, asumiendo un $\Delta V = 2.5V$ para las señales de entrada, se tiene lo siguiente:

$$t_{max} = \frac{2.5 V \cdot 1 \times 10^{-6} seg}{330 V} = 7.57 \times 10^{-9} seg = 0.00757 \mu seg [26]$$

Ahora bien, suponiendo que dichas señales provienen de un sistema sin pérdidas de 1^{er} orden, con ganancia unidad [28], la función de transferencia del mismo ante una excitación en forma de escalón unitario sería:

$$Y(s) = \frac{1}{1 + \tau_p s} [28]$$

El parámetro τ_p es una constante de tiempo y representa la demora del sistema en salir del régimen transitorio. Utilizando dicha constante, se calcula el polo de la función:

$$f_p = \frac{1}{2\pi \tau_p} (Hz) [28]$$

Por otra parte, la respuesta en tiempo del sistema es:

$$y(t) = 1 - e^{t/\tau_p} [28]$$

Si se despeja la variable t de esta expresión, queda lo siguiente:

$$t = -\tau_p \cdot \ln(1 - y(t)) (seg)$$

En relación a las señales tratadas, el parámetro de utilidad es su tiempo de subida (T_r), siendo éste la demora del cambio de amplitud del 10 al 90% del valor máximo de la misma. Estos límites evitan que el ruido y la parte transitoria de la señal afecten a los cálculos posteriores [27]. Dicho esto, el tiempo T_r en función de la constante τ_p es:

$$T_r = -\tau_p \cdot \ln(1 - 0.9) + \tau_p \cdot \ln(1 - 0.1) = \tau_p \cdot \ln(9)$$

Despejando la constante τ_p , se halla la expresión final de la frecuencia del polo, que viene a ser lo mismo que el ancho de banda máximo del sistema:

$$f_p = \frac{\ln(9)}{2\pi T_r} \approx \frac{0.35}{T_r} (Hz) [28]$$

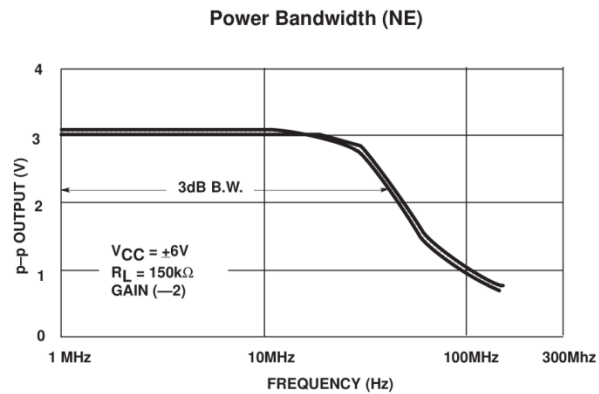
Para el caso del NE5539, el BW_{max} será:

$$BW_{max} = \frac{0.35}{t_{max}} = \frac{0.35}{7.57 \times 10^{-9}} \approx 46.23 \text{ MHz} [28]$$

Por otro lado, la tensión pico-a-pico de salida del operacional depende de la ganancia, de la carga que hay a la salida y de la frecuencia de la señal de entrada [25], aunque el único dato proporcionado por el fabricante al respecto es una gráfica para una carga R_L de 150 kΩ, una alimentación de ±6V y una ganancia de -2 V/V (amplificador inversor).

Dicha gráfica es la siguiente:

Gráfica 1. Frecuencia de entrada VS amplitud de salida para el A.O. NE5539 [25]



Se observa que la amplitud de la señal de salida disminuye conforme aumenta la frecuencia de la señal de entrada, pero hasta aproximadamente los 20 MHz tiene un valor constante. No obstante, el ancho de banda a -3 dB es de unos 60 MHz.

El completo esquema del convertor de señal diferencial a 'single-ended', se puede ver en la figura 19 del apartado 3.1.2.1 y es igual para los dos transceptores.

A/V – Circuito modulador

Este circuito, implementado con el PLL NE568A de montaje tipo DIP-20 [36], realiza una modulación en frecuencia de la señal de datos para enviarla al canal radio. El integrado opera dentro de la banda *VHF*, ya que su frecuencia máxima de trabajo es de 150 MHz. Para entender el funcionamiento del modulador, se empezará analizando el diagrama de bloques del integrado:

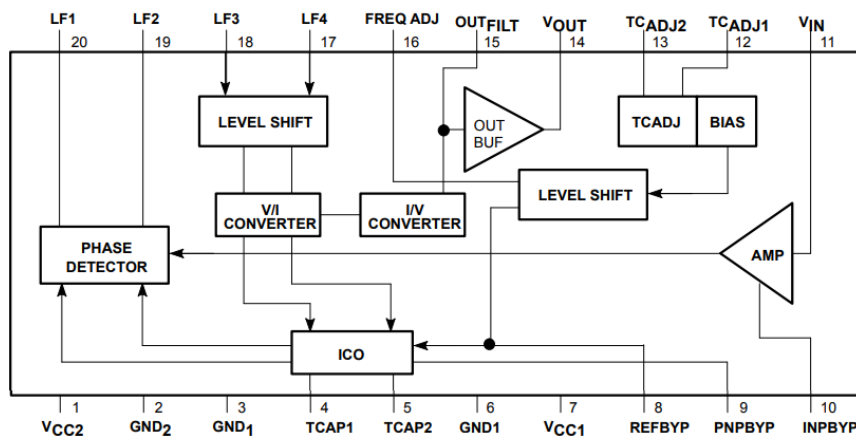


Figura 55. Diagrama de bloques del PLL NE568A [35]

Como se puede apreciar, el componente consta de un amplificador, un oscilador controlado por corriente (*ICO*), un detector de fase, un circuito de ajuste del nivel de tensión, un convertor de tensión a corriente (*V/I*), un convertor de corriente a tensión (*I/V*), un buffer de salida y, por último, circuitería de polarización (*bias circuitry*), ideada para la compensación térmica y el ajuste fino de la frecuencia de trabajo. Luego, para utilizarlo como modulador de frecuencia, son necesarios únicamente el *ICO* y el convertor *V/I*, formando ambos el llamado *VCO* (oscilador controlado por tensión).

Es de notar que la salida del modulador puede ser solamente la salida del detector de fase, pues su entrada está internamente conectada con el *VCO*. Además, la función de transferencia de éste es exponencial y se linealiza conectando un resistor fijo entre los pines 14 y 18, que redirige la corriente de salida del circuito buffer (*output buffer amplifier*) hacia la entrada inversora del circuito de ajuste del nivel de tensión (*level shift*), además de limitarla, ya que dicho buffer tiene una ganancia de 25 dB [36].

La entrada de ese buffer (pin 15) tiene una impedancia de $350\ \Omega$ y si se conecta un condensador entre ese pin y tierra, se obtiene un filtro paso-bajo que estabiliza la señal de salida del circuito. Su frecuencia de corte a -3 dB, utilizando un condensador de 100 pF de capacidad, es:

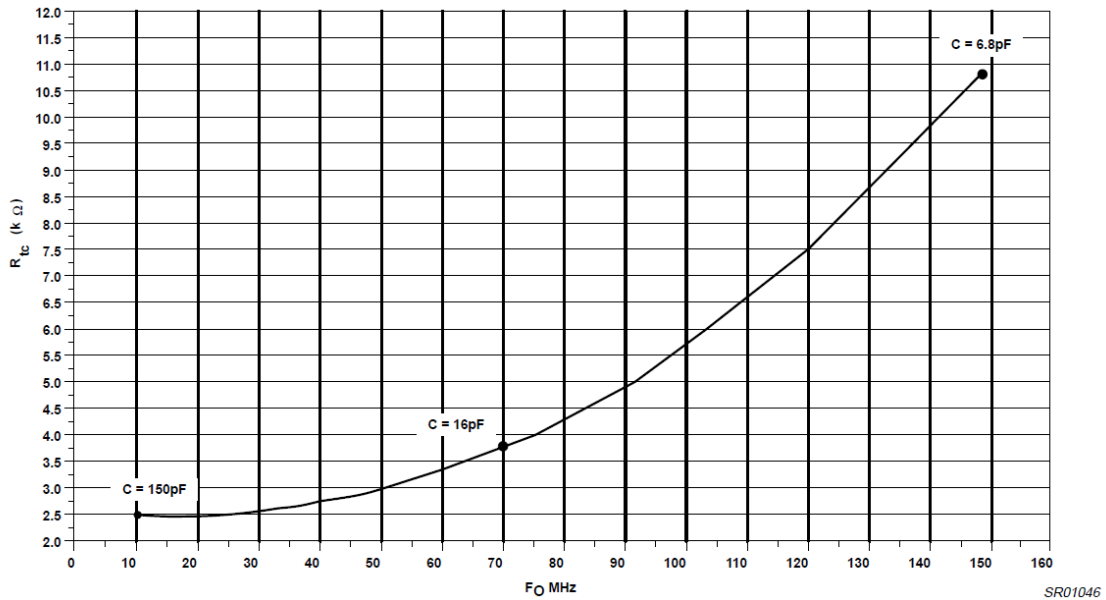
$$f_{corte} = \frac{1}{2\pi RC} = \frac{1}{2\pi \cdot 350 \cdot 100 \times 10^{-12}} \approx 4.5\text{ MHz} [31]$$

Según el fabricante, esta frecuencia de corte es suficiente para reducir al máximo todas las posibles distorsiones armónicas en la señal de salida del circuito.

En cuanto a la frecuencia de oscilación de la señal de salida, el componente externo que la determina es un condensador, llamado T_{CAP} , que se conecta entre los pines 4 y 5 [36]. Su capacidad es determinable únicamente a partir de una gráfica que relaciona el valor de uno de los componentes externos de la *bias circuitry* (un resistor de compensación térmica, llamado R_{tc}) y la frecuencia de trabajo, ya que ahí aparecen en segundo plano tres valores del condensador T_{CAP} .

Dicha gráfica es:

Gráfica 2. Valor del resistor R_{tc} VS frecuencia de trabajo para el PLL NE568A [35]



Se observa que la curva sigue una trayectoria rectilínea entre las frecuencias 120 y 150 MHz, 90 y 120 MHz, 75 y 90 MHz y 50 y 75 MHz. Luego, si se convierte el eje de frecuencias en eje de tiempos, haciendo la inversa del mismo, se obtienen valores aproximados del condensador T_{CAP} para las frecuencias de 118 y 138 MHz, que se utilizan en este proyecto.

Dichas capacidades son:

$$T_{CAP}(f = 138 \text{ MHz}) = 7.2927 \times 10^{-12} \text{ F} \approx 7.3 \text{ pF}$$

$$T_{CAP}(f = 118 \text{ MHz}) = 8.5288 \times 10^{-12} \text{ F} \approx 8.5 \text{ pF}$$

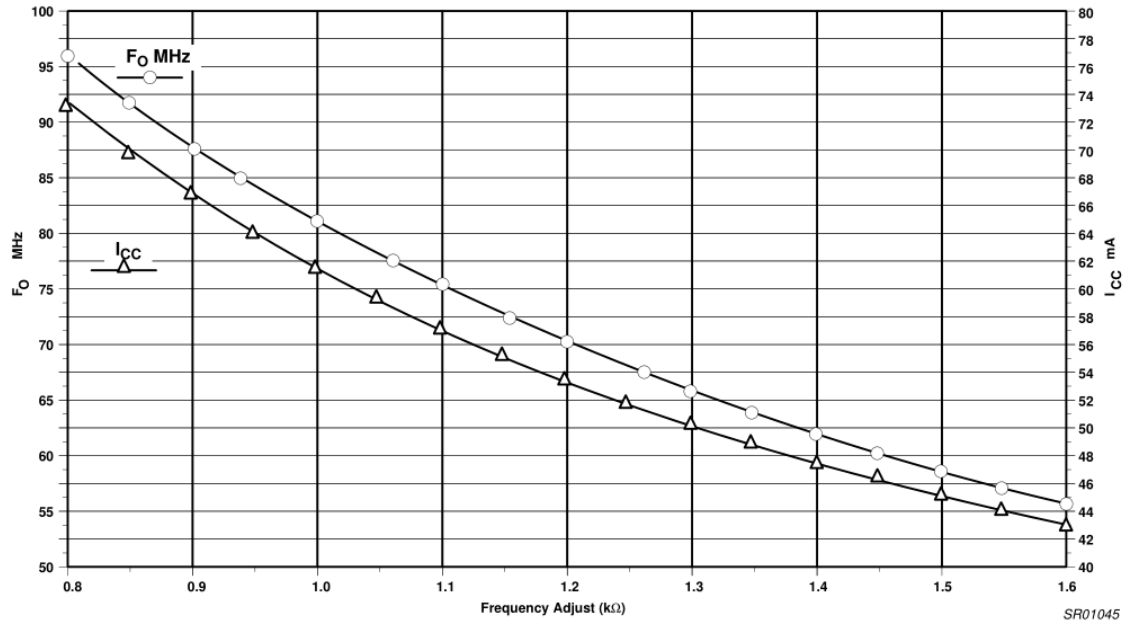
Los dos valores obtenidos no corresponden a capacidades estandarizadas, así que se ha decidido utilizar en cada caso dos condensadores en paralelo, situándolos lo más cerca posible en el circuito. Las capacidades escogidas han sido:

$$T_{CAP}(f = 138 \text{ MHz}) \approx 4.7 \text{ pF} + 2.7 \text{ pF} = 7.4 \text{ pF}$$

$$T_{CAP}(f = 118 \text{ MHz}) \approx 4.7 \text{ pF} + 3.9 \text{ pF} = 8.6 \text{ pF}$$

Además del condensador T_{CAP} , otro componente cuyo valor debe ajustarse acorde a la frecuencia de trabajo deseada, es un resistor fijo, llamado $R_{FREQ ADJ}$, que se conecta entre el pin 16 y tierra. La gráfica que relaciona su resistancia con la frecuencia de operación es la que sigue:

Gráfica 3. Valor del resistor $R_{FREQ ADJ}$ VS frecuencia de trabajo para el PLL NE568A [35]



Se puede observar que la resistancia de $R_{FREQ ADJ}$ disminuye conforme aumenta la frecuencia. El fabricante aconseja utilizar un potenciómetro multivuelta en lugar de un resistor fijo, ya que los valores de la gráfica son aproximados, la frecuencia de prueba máxima ha sido de 95 MHz y los componentes reales no son perfectos. No obstante, las resistencias de referencia obtenidas a partir de esta gráfica son:

$$R_{FREQ ADJ}(f = 138 \text{ MHz}) \approx 560 \Omega ; R_{FREQ ADJ}(f = 118 \text{ MHz}) \approx 680 \Omega$$

En la gráfica también se aprecia que cuanto mayor sea la frecuencia de trabajo, mayor es la corriente mínima requerida por el circuito. Este hecho se traduce en una mayor disipación de potencia, aunque no es necesario que el integrado tenga refrigeración asistida. De hecho, el componente encargado de disipar parte de dicha potencia es un resistor de compensación térmica, llamado R_{IC} , que se conecta entre el pin 13 y tierra.

La relación entre su resistencia y la frecuencia de operación se puede contemplar en la gráfica 2. Los dos valores obtenidos de R_{tc} son:

$$R_{tc}(f = 138 \text{ MHz}) \approx 9.75 \text{ k}\Omega ; R_{tc}(f = 118 \text{ MHz}) \approx 7.375 \text{ k}\Omega$$

La señal de datos se inyecta al pin 17 del NE568A superpuesta sobre un nivel de tensión continua. El circuito que realiza esta tarea, llamado circuito de polarización, reduce además el número de armónicos de la señal de salida del modulador, incrementa su amplitud y limita la corriente de entrada al modulador [36]. Su esquema es:

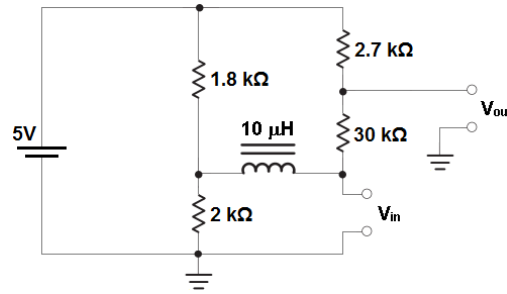


Figura 56. Circuito de adaptación de la señal moduladora [EP-36]

El montaje presenta dos fuentes de tensión independientes, por lo que el circuito se puede analizar mediante superposición. En primer lugar se anula la fuente de señal V_{in} :

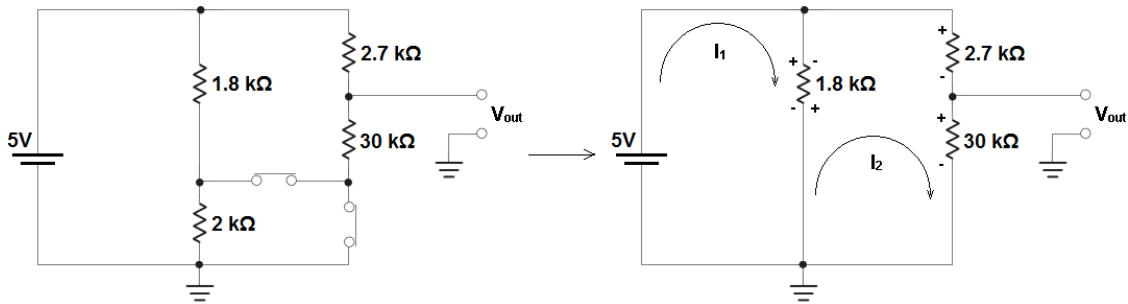


Figura 57. Circuito a analizar sin la fuente de señal V_{in} [EP-36]

Por ser V_{in} una fuente de tensión, pasa a ser un cortocircuito. El sistema resultante queda alimentado por una fuente de voltaje continuo, por lo que la equivalencia de la bobina también es un cortocircuito.

Para la primera malla se tiene:

$$5 = (I_1 - I_2) \cdot 1800$$

Para la segunda malla se tiene:

$$(I_2 - I_1) \cdot 1800 + I_2(2700 - 30000) = 0 \rightarrow 34500 I_2 - 1800 I_1 = 0$$

Despejando I_1 de la primera expresión, queda que:

$$1800 I_1 = 5 + 1800 I_2 \rightarrow I_1 = 2.778 \times 10^{-3} + I_2$$

Sustituyendo en la segunda expresión:

$$34500 I_2 - 1800 \cdot (2.778 \times 10^{-3} + I_2) = 0$$

$$34500 I_2 - 5 - 1800 I_2 = 0 \rightarrow 34500 I_2 - 1800 I_2 = 5$$

Por tanto:

$$I_2 = 1.5291 \times 10^{-4} \text{ A}$$

Ahora es posible calcular la tensión de salida:

$$V_{out_1} = I_2 \cdot 30000 = 4.587 \text{ V}$$

El segundo paso es retirar la fuente de alimentación continua de 5V, que igualmente se convierte en un cortocircuito por ser una fuente de tensión. El análisis del circuito se realiza en RPS (régimen permanente sinusoidal):

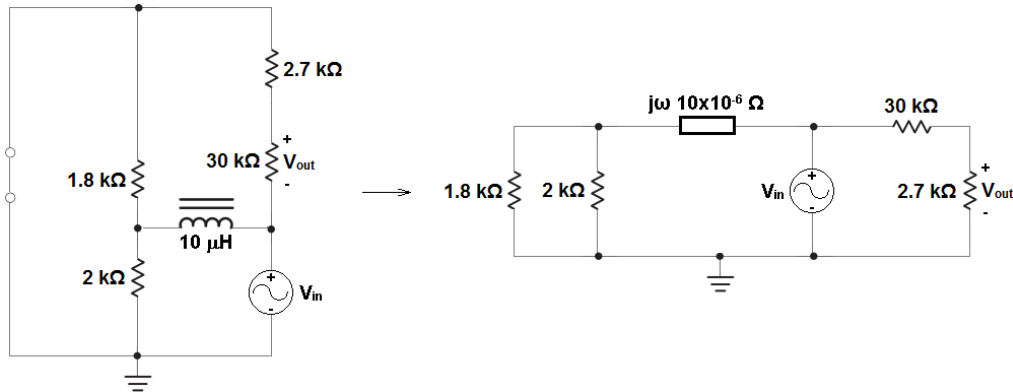


Figura 58. Circuito a analizar sin la alimentación de 5V [I parte] [EP-36]

Se simplifica por la izquierda:

$$\frac{1800 \cdot 2000}{1800 + 2000} \approx 947.37 \Omega \rightarrow Z_{eq} = (947.37 + j\omega \cdot 10 \times 10^{-6}) \Omega$$

El circuito equivalente a analizar es:

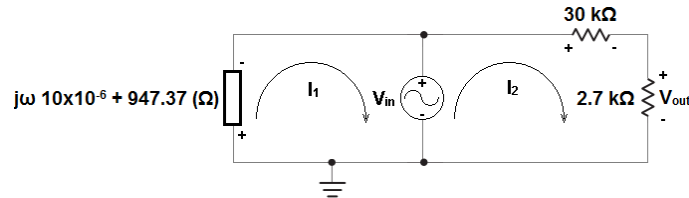


Figura 59. Circuito a analizar sin la alimentación de 5V [II parte] [EP-36]

No es necesario analizar la primera malla porque $I_1 \cdot (947.37 + j\omega \cdot 10 \times 10^{-6}) = V_{in}$, entonces:

$$V_{in} = I_2 \cdot (30000 + 2700) = I_2 \cdot 32700 \rightarrow I_2 = V_{in}/32700$$

Ahora es posible obtener la expresión para la señal de salida de este circuito:

$$V_{out_2} = I_2 \cdot 2700 = V_{out} \cdot 2700/32700 \approx 0.083 V_{in}$$

Finalmente, la salida del circuito real se halla sumando la respuesta del mismo a cada una de las fuentes. Por lo tanto:

$$V_{out} = V_{out_1} + V_{out_2} = 4.587 + 0.083 V_{in}$$

Si la señal moduladora es una función que oscila entre los -2.5 y 2.5 V, la salida de este circuito se moverá entre los 4.3795 y los 4.7945 V, respectivamente.

Cuando no hay ninguna señal a la entrada del módulo de polarización, se supone que el puerto de entrada se encuentra abierto. La salida del circuito presenta, pues, una tensión de 4.8 V. El montaje a analizar es el que sigue:

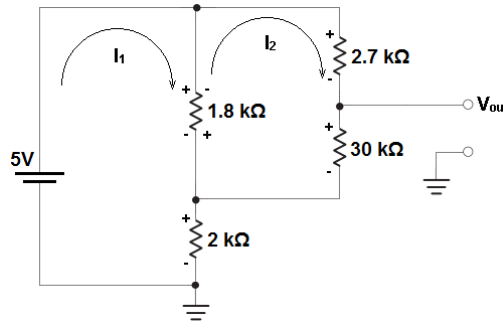


Figura 60. Circuito equivalente en ausencia de la señal moduladora [EP-36]

Para la primera malla se tiene:

$$5 = (I_1 - I_2) \cdot 1800 + I_1 \cdot 2000$$

Para la segunda malla se tiene:

$$0 = (I_2 - I_1) \cdot 1800 + I_2 \cdot 2700 + I_2 \cdot 30000$$

Simplificando:

$$5 = 1800 I_1 - 1800 I_2 + 2000 I_1 = 3800 I_1 - 1800 I_2$$

$$0 = 1800 I_2 - 1800 I_1 + 2700 I_2 + 30000 I_2 = 34500 I_2 - 1800 I_1$$

Se despeja I_1 de la primera expresión:

$$3800 I_1 = 5 + 1800 I_2 \rightarrow I_1 = 1.3158 \times 10^{-3} + 0.4737 I_2$$

Se sustituye en la segunda expresión:

$$0 = 34500 I_2 - 1800 \cdot (1.3158 \times 10^{-3} + 0.4737 I_2)$$

$$34500 I_2 - 852.66 I_2 = 2.3684$$

$$I_2 = 7.0389 \times 10^{-5} \text{ A}$$

Ahora es posible calcular I_1 :

$$I_1 = 1.3158 \times 10^{-3} + 0.4737 \cdot 7.0389 \times 10^{-5} = 1.3491 \times 10^{-3} \text{ A}$$

La tensión de salida será la suma de las caídas de tensión en el resistor de 30 kΩ y en el de 2 kΩ, luego:

$$V_{out} = I_2 \cdot 30000 + I_1 \cdot 2000 = 4.8099 \text{ V}$$

La última sección del modulador es el amplificador diferencial, implementado con el operacional NE5539 [25], que convierte la salida diferencia del NE568A (pines 19 y 20) a 'single-ended' [36]. Su ganancia es de 2 V/V y su impedancia de salida es fácilmente ajustable a los 75 o 50 Ω, mediante un resistor de uno u otro valor (según el fabricante), ya que la Z_{out} del operacional es de tan solo 10 Ω. Gracias a que la Z_{in} del amplificador es lo suficientemente alta ($\sim 100 \text{ k}\Omega$), la operación resta de las dos señales

de entrada se lleva a cabo correctamente. El esquema eléctrico, válido para todas las frecuencias de trabajo del modulador, es:

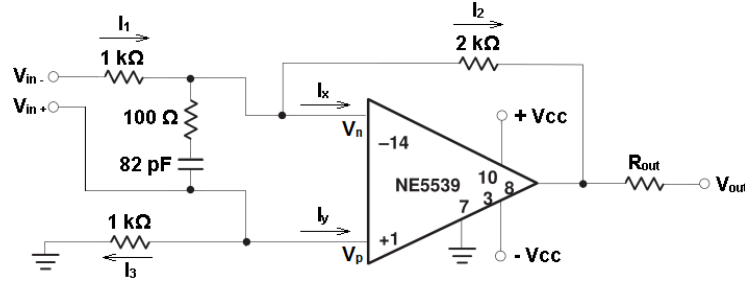


Figura 61. Conversor de salida diferencial del NE568A a 'single-ended' [36]

El análisis de este circuito se lleva a cabo suponiendo que el amplificador operacional es ideal, por lo que es aplicable el principio del cortocircuito virtual [27]:

$$V_p = V_n; I_x = 0; I_y = 0 \rightarrow I_3 = I_4; V_p = V_{+in}$$

Luego:

$$\frac{V_{-in} - V_n}{1000} = \frac{V_n - V_{out}}{2000} \rightarrow V_n - V_{out} = 2 (V_{-in} - V_n)$$

Se despeja V_{out} :

$$V_{out} = V_n - 2 (V_{-in} - V_n) = 3 V_n - 2 V_{-in}$$

Sabiendo que $V_n = V_p$, es posible sustituir:

$$V_{out} = 3 V_{+in} - 2 V_{-in}$$

El filtro paso-bajo a la entrada del diferencial reduce las posibles interferencias en la señal modulada. Se compone de un resistor fijo de 100 Ω y un condensador de 82 pF. Su frecuencia de corte es:

$$f_{corte} = \frac{1}{2\pi RC} = \frac{1}{2\pi \cdot 100 \cdot 82 \times 10^{-12}} \approx 19.41 \text{ MHz} [31]$$

Por último, el ancho de banda máximo de la señal moduladora depende exclusivamente de la frecuencia de trabajo:

$$BW_{mod} = \frac{f_{osc}}{7} \text{ (Hz)} [35]$$

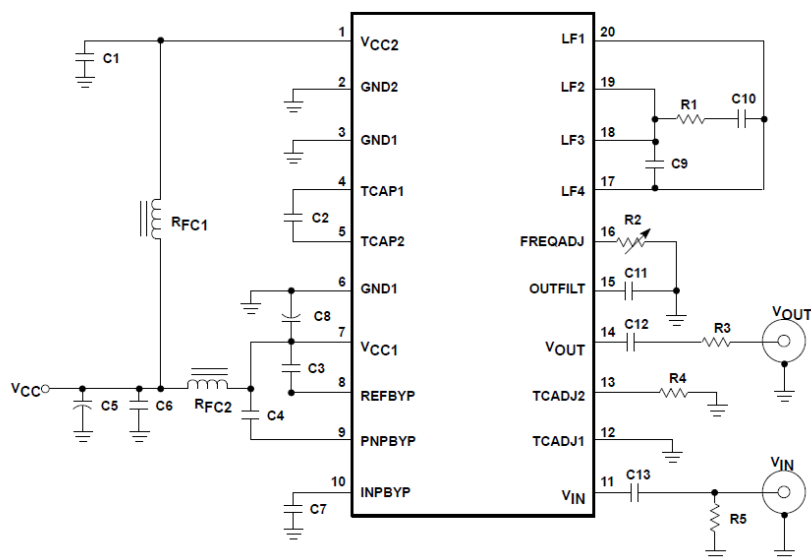
Los diseños completos de los dos moduladores utilizados en este proyecto aparecen en las figuras 20, 21 y 30 de los apartados 3.1.2.2 y 3.2.2.2, respectivamente.

A/VI – Circuito demodulador

Este circuito es el complementario del analizado en el apartado anterior, por lo que está implementado con el mismo PLL NE568A [35].

Como se ha comentado antes, el NE568A es un PLL con un ancho de banda de trabajo de 150 MHz. La tensión de alimentación requerida para un buen funcionamiento no es elevada (5V) y el integrado posee un coeficiente de temperatura del VCO muy bajo, por lo que la temperatura de trabajo no afecta de manera notable a la frecuencia de

oscilación del mismo o a la calidad de la señal demodulada. El esquema genérico del demodulador es:



SR01039

Figura 62. Circuito genérico del demodulador a base del PLL NE568A [35]

La señal entra al *PLL* tras haber pasado por un amplificador de ganancia 200 V/V, cuya entrada es diferencial (pines 10 y 11). Para aplicaciones de tipo 'single-ended' el puerto de acceso es el 11, conectándose el 10 a un condensador de bloqueo de continua, con una capacidad de 100 nF para todas las frecuencias de trabajo. La impedancia de entrada del circuito es ligeramente superior a 1000 Ω . No es necesaria una adaptación de impedancias, si la fuente de señal presenta una Z_{out} de 50 o 75 Ω . Tan sólo es necesario un condensador de bloqueo de continua entre la fuente y la entrada del integrado. Si la impedancia de la fuente es distinta a los 50 o los 75 Ω , debe conectarse un resistor fijo en paralelo con la entrada de señal antes del condensador de 100 nF. La amplificación que se le realiza a la señal de entrada asegura una respuesta en tiempo razonable, si la señal a demodular es de gran amplitud, además de asegurar un buen rechazo a la modulación AM [35].

Después de haber sido amplificada, la señal es conducida a uno de los dos puertos del detector de fase. El puerto restante está conectado al oscilador controlado por corriente (*ICO*). La salida del detector de fase, denominada *señal de error*, es una tensión proporcional a la diferencia entre las fases de la señal de entrada y la señal de salida del *ICO* y debe pasar por un filtro paso-bajo, cuya salida es un valor de tensión constante. Esta tensión se convierte en corriente y es llevada de vuelta al *ICO*, desplazando la frecuencia en la dirección adecuada para obtener un desfase de 90° entre las señales de entrada y salida del *ICO*.

La corriente de control del *ICO* depende de los tiempos de carga y descarga del condensador T_{CAP} conectado entre los pines 4 y 5, cuya capacidad está relacionada con los valores de los componentes resistivos y las corrientes internas del integrado. Para las dos frecuencias de funcionamiento, los valores del T_{CAP} son los mismos a los del apartado anterior: 7.4 pF para los 138 MHz y 8.6 pF para los 118 MHz.

El circuito conectado externamente entre los pines 19 y 20 del detector de fase y los pines 17 y 18 de la entrada del *ICO* es un filtro paso-bajo, que determina las características dinámicas del bucle. Está compuesto por los condensadores C_9 y C_{10} y el resistor R_I . El condensador C_9 y los resistores internos de $100\ \Omega$ del detector de fase rectifican la señal portadora. El valor de ese condensador se obtiene así:

$$C_9 = \frac{1}{2\pi \cdot 50 \cdot f_{osc}} (F) \quad [35]$$

Luego, para las dos frecuencias de trabajo, la capacidad del C_9 es:

$$C_9(f = 138\ MHz) = \frac{1}{2\pi \cdot 50 \cdot 138 \times 10^6} = 2.306 \times 10^{-11} F \approx 23\ pF$$

$$C_9(f = 118\ MHz) = \frac{1}{2\pi \cdot 50 \cdot 118 \times 10^6} = 2.697 \times 10^{-11} F \approx 27\ pF$$

Las capacidades estandarizadas más cercanas son de 22 y de 27 pF.

La frecuencia de corte del paso-bajo depende de los componentes C_{10} y R_I y en primer lugar debe escogerse el valor del resistor R_I . Una vez escogido, se procede al cálculo de la capacidad del condensador C_{10} mediante la expresión de a continuación:

$$C_{10} = \frac{1}{2\pi \cdot R_I \cdot BW} (F) \quad [35]$$

Para las dos frecuencias de funcionamiento, los valores de C_{10} y R_I son:

$$R_I(138\ MHz) = 68\ \Omega$$

$$C_{10}(138\ MHz) = \frac{1}{2\pi \cdot 68 \cdot (138 \times 10^6 / 7)} = 1.1872 \times 10^{-10} F \approx 119\ pF$$

$$R_I(118\ MHz) = 47\ \Omega$$

$$C_{10}(118\ MHz) = \frac{1}{2\pi \cdot 47 \cdot (118 \times 10^6 / 7)} = 2.009 \times 10^{-10} F \approx 201\ pF$$

En este caso, las capacidades estandarizadas más cercanas son de 120 y 200 pF.

El condensador C_{11} limita el ancho de banda del amplificador de salida (*output buffer amplifier*). Su capacidad se calcula así:

$$C_{11} = \frac{1}{2\pi \cdot 350 \cdot BW} (F) \quad [35]$$

Luego, para las dos frecuencias de trabajo, dicha capacidad será:

$$C_{11}(f = 138\ MHz) = \frac{1}{2\pi \cdot 350 \cdot (138 \times 10^6 / 7)} = 2.306 \times 10^{-11} F \approx 23\ pF$$

$$C_{11}(f = 118\ MHz) = \frac{1}{2\pi \cdot 350 \cdot (118 \times 10^6 / 7)} = 2.697 \times 10^{-11} F \approx 27\ pF$$

Los valores estandarizados más próximos son de 22 y 27 pF.

Finalmente, los resistores R_2 y R_4 son iguales que para el modulador:

$$R_2(f = 138 \text{ MHz}) \approx 560 \Omega; R_2(f = 118 \text{ MHz}) \approx 680 \Omega$$

$$R_4(f = 138 \text{ MHz}) \approx 9.75 \text{ k}\Omega; R_4(f = 118 \text{ MHz}) \approx 7.375 \text{ k}\Omega$$

Los valores de los restantes integrantes periféricos del circuito no dependen de la frecuencia de trabajo.

La segunda etapa del demodulador es un amplificador no inversor, implementado con el operacional NE5539 [25], que amplifica la señal demodulada, ya que la amplitud de pico máxima de ésta oscila entre los 0.4 y los 0.52 V. El esquema eléctrico básico es:

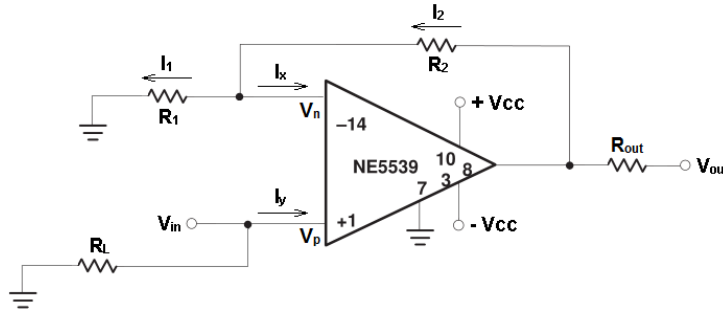


Figura 63. Circuito genérico del amplificador no inversor a base del NE5539 [EP-25-26]

El análisis del circuito se llevará a cabo suponiendo, de nuevo, que el operacional es ideal, por lo que es posible aplicar el principio del cortocircuito virtual [26]:

$$V_p = V_n = V_{in}; I_x = 0; I_y = 0 \rightarrow I_1 = I_2$$

Luego:

$$\frac{V_n - 0}{R_1} = \frac{V_{out} - V_n}{R_2} \rightarrow \frac{V_{in}}{R_1} = \frac{V_{out} - V_{in}}{R_2}$$

Se despeja V_{out} :

$$V_{out} - V_{in} = \left(\frac{V_{in}}{R_1} \cdot R_2 \right) \rightarrow V_{out} = V_{in} + \left(\frac{R_2}{R_1} \right) V_{in}$$

Simplificando la expresión, queda lo siguiente:

$$V_{out} = V_{in} \left(1 + \frac{R_2}{R_1} \right)$$

Los valores escogidos para los resistores R_2 y R_1 son de 270 y 51 Ω , respectivamente. La ganancia del amplificador [28] para esos valores es de, aproximadamente, 6.2941 V/V, lo cual da como resultado una tensión de pico de 2.52 V para el umbral de 0.4 V de salida del demodulador y una tensión de pico de 3.27 V para el umbral de 0.52 V. El valor del resistor de carga R_L es de 51 Ω , garantizando así que la impedancia de entrada al amplificador sea igual a la impedancia de salida del demodulador [35]. La impedancia de salida del circuito es de, aproximadamente 50 Ω , siendo R_{out} de 43 Ω .

Los diseños completos de los dos demoduladores utilizados en este proyecto aparecen en las figuras 22, 23 y 31, de los apartados 3.1.3.1 y 3.2.3.1, respectivamente.

A/VII – Circuito conversor de señal ‘single-ended’ a diferencial

Este circuito, implementado con un *buffer* lógico 74HC4050 de montaje tipo DIP-16 [32] y un inversor lógico SN74LS04 de montaje tipo DIP-14 [33], convierte una única señal a dos señales complementarias: una copia de la entrada y la versión negada en modo *TTL* de ésta. La señal de entrada solo toma dos valores: una tensión cercana a los 0 V y un nivel positivo de tensión V_{DD} . El esquema básico del circuito es:

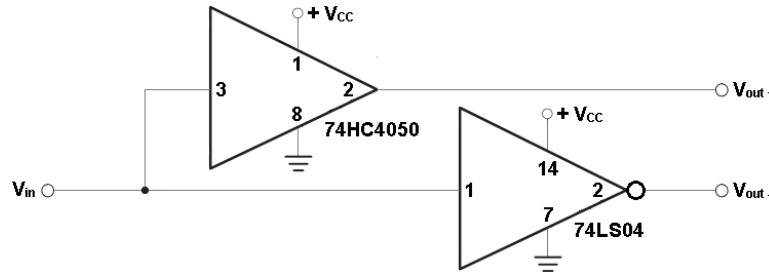


Figura 64. Conversor de señal ‘single-ended’ a diferencial [EP-32-33]

La tabla de verdad siguiente explica el funcionamiento del conversor:

Tabla 6. Tabla de verdad del conversor de señal ‘single-ended’ a diferencial [EP]

V_{IN} (en voltios)	V_{+OUT} (lógico)	V_{-OUT} (lógico)
V_{DD}	1	0
0	0	1

El único parámetro importante de este montaje es el tiempo de transición de los dos integrados, cuya explicación gráfica se contempla en la figura que sigue:

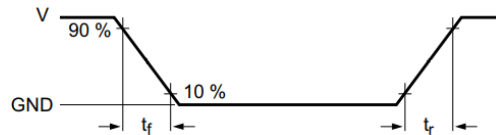


Figura 65. Tiempos de transición de una señal que cambia de estado [32]

Así pues, en el caso del *buffer* 74HC4050, los tiempos t_f (*fall time*) y t_r (*rise time*) son ambos de 7 nseg, en tanto que para el inversor SN74LS04 ambos parámetros difieren, siendo el t_f de 10 nseg y el t_r de 9 nseg. Con estos datos es posible calcular el ancho de banda máximo de la señal de entrada en cada caso, utilizando la expresión explicada en el anexo A/IV. Luego:

$$BW_{\max 74HC4050} = \frac{0.35}{t_{\max}} = \frac{0.35}{7 \times 10^{-9}} = 50 \text{ MHz [28]}$$

$$BW_{\max SN74LS04} = \frac{0.35}{t_{\max}} = \frac{0.35}{10 \times 10^{-9}} = 35 \text{ MHz [28]}$$

El ancho de banda resultante es el más pequeño de los dos obtenidos, pues las entradas de ambos integrados están conectadas en paralelo. El diseño final del circuito se exhibe en la figura 24 del apartado 3.1.3.2 y es igual para los dos transceptores.

A/VIII – Circuito conmutador

Este circuito, implementado con el conmutador electrónico de alta velocidad DG403DJ de montaje tipo DIP-16 [34], habilita o deshabilita la transmisión o la recepción de datos. Su diagrama de bloques es el siguiente:

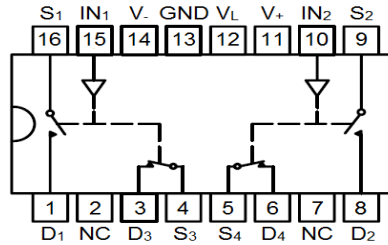


Figura 66. Diagrama de bloques del conmutador electrónico DG403DJ [34]

Se observa que el integrado consta de cuatro interruptores electrónicos, dispuestos en grupos de dos. Cada grupo se puede activar de forma independiente y cada interruptor puede formar parte de un circuito distinto.

En este proyecto, el conmutador interconecta la salida del conversor de señal ‘single-ended’ a diferencial y la entrada del conversor de señal diferencial a ‘single-ended’ con el interfaz USB, por lo que el circuito tiene tres puertos. El esquema básico es:

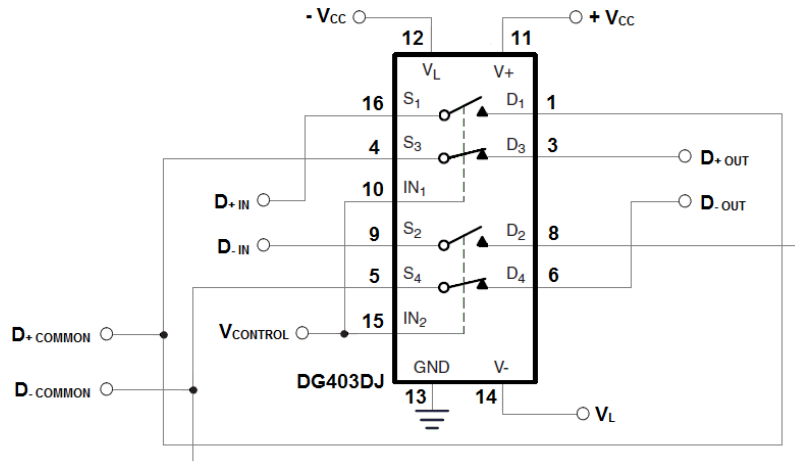


Figura 67. Circuito de conmutación a base del integrado DG403DJ [EP-34]

El componente debe ser alimentado por una fuente de tensión simétrica ($\pm V_{CC}$) y por una fuente simple ($+V_L$). Los valores de tensión de $\pm 6V$ y de $+5V$ son adecuados para un correcto funcionamiento del circuito [34]. El umbral superior del nivel bajo de la señal $V_{CONTROL}$ es de $0.8V$, mientras que el umbral inferior del nivel alto de dicha señal es de $2.4V$. En base a ello, la tabla de verdad del conmutador queda como sigue:

Tabla 7. Tabla de verdad del circuito conmutador [34]

Nivel lógico	Nivel de tensión	SW ₁ , SW ₂	SW ₃ , SW ₄
0	$V_S \leq 0.8V$	abierto	cerrado
1	$V_S \geq 2.4V$	cerrado	abierto

Son tres los parámetros que caracterizan el funcionamiento del conmutador DG403DJ: la demora de puesta en cortocircuito, la demora de puesta en circuito abierto y la demora de propagación. Los tres tiempos dependen de la carga conectada al respectivo interruptor y para una R_L de 300 Ω son de 75, 30 y 35 nseg, respectivamente. El mayor de los tiempos es el retardo de puesta en cortocircuito y es el que determina la frecuencia máxima de la señal de control, cuyo valor es:

$$f_{control\ max} = \frac{1}{75 \times 10^{-9}} \approx 13.33\ \text{MHz} \quad [34]$$

La frecuencia obtenida se refiere a cuán de rápido puede cambiar de estado la señal de control y en este caso la velocidad es de 13.33 millones de veces por segundo.

El diseño final de cada conmutador aparece en las figuras 25 y 32 de los apartados 3.1.4.1 y 3.2.4.1, respectivamente.

A/IX – Circuito activador del conmutador

Este circuito se compone de un filtro paso-bajo pasivo [31] y un amplificador no inversor a base del operacional OP90 de montaje tipo DIP-8 [30] y se utiliza para rectificar la señal de datos recibida por cada transceptor, a fin de que ésta haga cambiar de estado al conmutador del mismo.

El filtro obtiene el valor medio de la señal demodulada y el amplificador deshace el efecto de carga creado por éste, además de amplificar su salida lo suficiente como para que el conmutador cambie de estado. El esquema básico del circuito es:

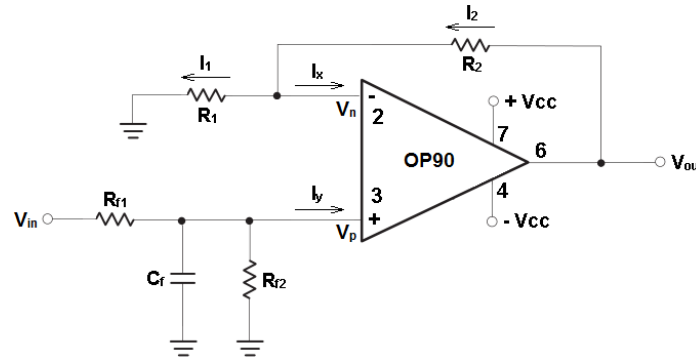


Figura 68. Circuito activador del conmutador [EP-26-30-31]

La frecuencia de corte del filtro debe ser mucho menor que la frecuencia fundamental de la señal de entrada y como punto de partida se ha utilizado la tasa de bit teórica mínima del estándar USB 1.1, siendo ésta de 1.5 Mbit/segó de 1.5 MHz, si se asume una eficiencia de 1 bit/Hz. Tras varias pruebas, la frecuencia de corte óptima del filtro ha quedado en 150 kHz. Luego:

$$f_{corte} = \frac{1}{2\pi RC} \ll f_{fundamental} \quad [31]$$

$$f_{corte} = \frac{1}{2\pi R_{f1} C_f} = 150 \times 10^3\ \text{Hz} \rightarrow R_{f1} C_f \approx 1.061 \times 10^{-6}\ \Omega F \quad [31]$$

$$\text{Si } C_f = 100\ \text{pF} \rightarrow R_{f1} = 10610,33\ \Omega \approx 10\ \text{k}\Omega$$

Los resistores R_{f1} y R_{f2} forman un divisor de tensión y para que haya una mayor caída de tensión en R_{f2} , debe cumplirse la condición $R_{f2} \gg R_{f1}$. Además, el resistor R_{f2} acelera la descarga del condensador C_f , por lo que su valor tampoco ha de ser muy elevado. Por consiguiente, la resistencia elegida para este componente es de 470 k Ω .

El análisis del amplificador no inversor se lleva a cabo suponiendo que el operacional es ideal, por lo que es posible aplicar el principio del cortocircuito virtual [26]:

$$V_p = V_n = V_{in}; I_x = 0; I_y = 0 \rightarrow I_1 = I_2$$

Luego:

$$\frac{V_n - 0}{R_1} = \frac{V_{out} - V_n}{R_2} \rightarrow \frac{V_{in}}{R_1} = \frac{V_{out} - V_{in}}{R_2}$$

Se despeja V_{out} :

$$V_{out} - V_{in} = \left(\frac{V_{in}}{R_1} \cdot R_2 \right) \rightarrow V_{out} = V_{in} + \left(\frac{R_2}{R_1} \right) V_{in}$$

Simplificando la expresión, queda lo siguiente:

$$V_{out} = V_{in} \left(1 + \frac{R_2}{R_1} \right)$$

Para escoger los valores de los resistores R_2 y R_1 , es necesario el cálculo del valor medio de la señal de entrada, cuya amplitud de pico es de 2.5 V, luego:

$$V_m = \frac{1}{T} \int_0^T v(t) dt ; f = 1.5 \times 10^6 \text{ Hz} \rightarrow T = 6.67 \times 10^{-7} \text{ seg} [39]$$

$$V_m = \frac{1}{6.67 \times 10^{-7}} \int_0^{3.34 \times 10^{-7}} 2.5 dt = \frac{2.5}{6.67 \times 10^{-7}} \cdot 3.34 \times 10^{-7} = 1.25 \text{ V}$$

Así pues, haciendo uso de un resistor de 2 k Ω como R_2 y otro de 1 k Ω como R_1 , se consigue una ganancia [24] de 3 V/V, gracias a la que los 1.25 V pasan a ser 3.75 V.

Otra función del amplificador es suprimir el posible rizado de la señal de salida del filtro, puesto que el ancho de banda de éste es muy reducido. El *slew rate* del componente es de 5 V/mseg para una alimentación de ± 6 V, así que suponiendo que la señal de entrada tiene un $\Delta V = 2.5$ V, su tiempo máximo de variación será:

$$t_{max} = \frac{2.5 \text{ V} * 1 \times 10^{-3} \text{ seg}}{5 \text{ V}} = 5 \times 10^{-4} \text{ seg} = 0.5 \text{ mseg} [24]$$

Aplicando la expresión del anexo A/IV, se obtiene el ancho de banda máximo del operacional para una señal de esas características:

$$BW_{max} = \frac{0.35}{t_{max}} = \frac{0.35}{5 \times 10^{-4}} = 700 \text{ Hz} [26]$$

El diseño final del circuito se puede ver en la figura 26 del apartado 3.1.4.2 y es igual para los dos transeptores.

A/X – Módulo RF

Este módulo está formado por dos circuitos independientes. Uno de ellos es una conexión directa entre el modulador y la antena de *TX* y el otro es un circuito tanque LC [38] que interconecta el demodulador y la antena de *RX*. De esta forma se aíslan las dos antenas, aun a pesar de funcionar ambos circuitos a frecuencias distintas.

El esquema genérico del circuito tanque LC es el siguiente:

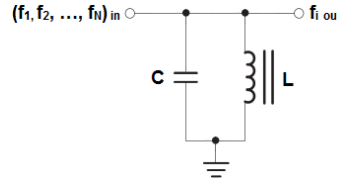


Figura 69. Circuito tanque LC [38]

La impedancia total del circuito, suponiendo el caso ideal, es:

$$Z_{total} = \frac{j\omega L \cdot \frac{1}{j\omega C}}{j\omega L + \frac{1}{j\omega C}} = \frac{j\omega L}{1 - \omega^2 LC} = j \cdot \left(\frac{\omega L}{1 - \omega^2 LC} \right) (\Omega)$$

Sabiendo que la expresión general de la impedancia es $Z = R + jX$, se observa que el resultado es, efectivamente, reactivo puro [38]. La expresión tiene un polo para $\omega^2 LC = 1$. Ese polo es, precisamente, la frecuencia de resonancia:

$$\omega^2 = \frac{1}{LC} \rightarrow \omega_p = \frac{1}{\sqrt{LC}} \text{ (rad)} [38]$$

Si se sustituye ω por $2\pi f$, se obtiene la frecuencia del polo en Hz. Luego:

$$f_p = \frac{1}{2\pi\sqrt{LC}} \text{ (Hz)} [38]$$

A la hora de elegir los componentes para las dos frecuencias de trabajo (118 y 138 MHz), han sido utilizados dos inductores de valor fijo y dos condensadores cerámicos variables tipo *Trimmer* de dos pines, con color identificativo marrón, cuyos valores son:

$$f = 118 \text{ MHz} \rightarrow L = 100 \text{ nH} ; C = 1.8192 \times 10^{-11} \text{ F} \rightarrow C = 9.8 \text{ a } 60 \text{ pF}$$

$$f = 138 \text{ MHz} \rightarrow L = 100 \text{ nH} ; C = 1.3301 \times 10^{-11} \text{ F} \rightarrow C = 9.8 \text{ a } 60 \text{ pF}$$

El diseño final del módulo de antena puede verse en la figura 27 del apartado 3.1.5 y externamente es igual para los dos transceptores. La única diferencia radica en el valor del condensador variable C .

A/XI – Balance de enlace

El balance de enlace tiene en cuenta únicamente las pérdidas por propagación en espacio libre y se ha supuesto que las antenas son sin pérdidas. Así pues, empezando por el transmisor, se ha podido comprobar empíricamente (véase capítulo IV) que sus niveles de tensión pico-a-pico de salida son mayores a los calculados por el fabricante (véase anexo B/IX).

Estos niveles son:

$$V_{out_1}(f = 118 \text{ MHz}) = 688 \text{ mV}_{pp} ; V_{out_2}(f = 138 \text{ MHz}) = 862 \text{ mV}_{pp}$$

Para calcular la potencia de transmisión de cada modulador, es necesario obtener el valor eficaz de la señal de salida de éste, valiéndose de la siguiente expresión:

$$V_{eff} = \sqrt{\frac{1}{T} \int_0^T x^2(t) dt} \quad [39]$$

Como en este caso se trabaja con señales sinusoidales, se tiene que $x(t) = V_o \sin(\omega t)$, además de que el periodo fundamental T de una senoide es 2π . Sustituyendo dichos datos en la expresión, queda que:

$$\begin{aligned} \int_0^T x^2(t) dt &= \int_0^{2\pi} V_o^2 \sin^2(\omega t) d\omega t = V_o^2 \int_0^{2\pi} \left(\frac{1 - \cos(2\omega t)}{2} \right) d\omega t \rightarrow \\ &\rightarrow \frac{V_o^2}{2} \int_0^{2\pi} 1 - \cos(2\omega t) d\omega t = \frac{V_o^2}{2} \cdot \left\{ 2\pi - \frac{\sin(4\pi)}{2} - \frac{\sin(0)}{2} \right\} = \frac{V_o^2}{2} \cdot 2\pi = V_o^2 \cdot \pi \rightarrow \\ &\rightarrow V_{eff} = \sqrt{\frac{1}{2\pi} \cdot V_o^2 \cdot \pi} = \frac{V_o}{\sqrt{2}} = \frac{V_{pp}/2}{\sqrt{2}} \end{aligned}$$

Así pues, los dos valores eficaces son:

$$V_{eff_1} = 688/2/\sqrt{2} = 243.245 \text{ mV}_p ; V_{eff_2} = 862/2/\sqrt{2} = 304.763 \text{ mV}_p$$

A raíz de que el fabricante no proporciona la eficiencia de la antena, se asume que toda la potencia que se le entrega, es radiada. Es decir, la resistencia de radiación de la antena es su impedancia característica (50Ω). La potencia transmitida se calcula, pues, aplicando la ley de Ohm:

$$\begin{aligned} P_{TX_1} &= \frac{V_{eff_1}^2}{R_{rad}} = \frac{(243.245 \times 10^{-3})^2}{50} = 1.1834 \times 10^{-3} \text{ W} \\ P_{TX_2} &= \frac{V_{eff_2}^2}{R_{rad}} = \frac{(304.763 \times 10^{-3})^2}{50} = 1.8576 \times 10^{-3} \text{ W} \end{aligned}$$

Convirtiendo estas potencias a dBm , queda:

$$P(dBm) = 10 \log \left(\frac{P(W)}{1 \times 10^{-3}} \right) \rightarrow P_{TX_1} = 0.7313 \text{ dBm} ; P_{TX_2} = 2.6895 \text{ dBm}$$

En cuanto al receptor, su sensibilidad es de -20 dBm para todo el rango de frecuencias de trabajo. Con el dato de la sensibilidad y las potencias de transmisión de cada modulador, es posible aplicar la expresión del balance de enlace [38] para obtener las pérdidas por propagación máximas. La distancia máxima de separación entre el emisor y el receptor, se obtiene a partir de estas pérdidas.

La expresión general del balance es:

$$P_{RX}(dBm) = P_{TX}(dBm) + G_{ant_{TX}}(dBi) - PL(d)(dB) + G_{ant_{RX}}(dBi) \quad [40]$$

Sustituyendo:

$$f = 118MHz \rightarrow -20 = 0.7313 + 2.15 - PL(d_1) + 2.15 = 5.0313 - PL(d_1)$$

$$f = 138MHz \rightarrow -20 = 2.6895 + 2.15 - PL(d_2) + 2.15 = 6.9895 - PL(d_2)$$

Las pérdidas por trayecto en cada caso son:

$$f = 118MHz \rightarrow PL(d_1) = 25.0313 \text{ dB} ; \quad f = 138MHz \rightarrow PL(d_2) = 26.9895 \text{ dB}$$

Ahora se calcula la distancia de separación máxima:

$$PL(d) = 20 \log\left(\frac{4\pi d}{\lambda}\right) \text{ con } \lambda = \frac{c}{f} \quad [40]$$

$$f = 118MHz \rightarrow \lambda = \frac{3 \times 10^8}{118 \times 10^6} = 2.5424 \text{ m} \rightarrow \frac{4\pi d_1}{2.5424} = 10^{25.0313/20} = 17.847$$

$$d_1 = 3.61 \text{ m}$$

$$f = 138MHz \rightarrow \lambda = \frac{3 \times 10^8}{138 \times 10^6} = 2.1739 \text{ m} \rightarrow \frac{4\pi d_2}{2.1739} = 10^{26.9895/20} = 22.36$$

$$d_2 = 3.87 \text{ m}$$

De las dos distancias máximas, la más pequeña es la más restrictiva. Por tanto, la separación máxima entre el emisor y el receptor, suponiendo la presencia de rayo directo, es de 3.61 m. Por otra parte, el fabricante de la antena no proporciona dato alguno acerca de la temperatura de ruido ni la figura de ruido de ésta, por lo que no es posible calcular la potencia de ruido, a fin de obtener la *SNR* (*Signal-to-noise ratio*). Entonces, acorde a los resultados empíricos obtenidos durante las pruebas de funcionamiento (véase capítulo IV), la distancia máxima de separación entre los dos transceptores es de 90 cm, aproximadamente.

ANEXO B: Especificaciones técnicas

B/I – Regulador de tensión LM317

Tabla 8. Condiciones de funcionamiento recomendadas para el LM317 [20]

Símbolo	Parámetro	Condiciones	Rango y unidades
V_O	Voltaje de salida		De 1.25 a 37V
$V_I - V_O$	Diferencia entre la tensión de entrada y la salida		De 3 a 40V
I_O	Corriente de salida		De 0.01 a 1.5A
T_J	Temperatura de funcionamiento dentro del circuito		De 0 a 125°C
I_{ADJ}	Corriente en el pin de ajuste		De 50 a 100 μ A
ΔI_{ADJ}	Cambio en la corriente del pin de ajuste	$V_I - V_O = 2.5$ a 40V $P_D \leq 20$ W $I_O = 10$ a 1500 mA	De 0.2 a 5 μ A
V_{REF}	Voltaje de referencia	$V_I - V_O = 3$ a 40V $P_D \leq 20$ W $I_O = 10$ a 1500 mA	De 1.2 a 1.3V

B/II – Optoacoplador PC817

Tabla 9. Valores absolutos máximos para el PC817 [21]

Símbolo	Parámetro	Rango y unidades
I_F	Corriente directa de entrada	50 mA
V_R	Tensión inversa de entrada	6V
V_{CEO}	Tensión entre colector y emisor	35V
I_C	Corriente de colector	50 mA
V_{iso}	Tensión de aislamiento	5 kV
T_{AMB}	Temperatura de trabajo	De -30 a 100°C

Tabla 10. Características eléctrico-ópticas del PC817 para $T = 25^{\circ}\text{C}$ [21]

Símbolo	Parámetro	Condiciones	Rango y unidades
V_F	Tensión directa	$I_F = 20 \text{ mA}$	De 1.2 a 1.4V
I_R	Corriente inversa	$V_R = 4\text{V}$	10 μA
I_{CEO}	Corriente de oscuridad del colector	$V_{CE} = 50\text{V}$ $I_F = 0$	100 nA
BV_{CEO}	Tensión de ruptura entre colector y emisor	$I_C = 0.1 \text{ mA}$ $I_F = 0$	80V
BV_{ECO}	Tensión de ruptura entre emisor y colector	$I_E = 10 \mu\text{A}$ $I_F = 0$	6V
I_C	Corriente de colector	$I_F = 5 \text{ mA}$, $V_{CE} = 5\text{V}$	De 2.5 a 30 mA
$V_{CE(sat)}$	Tensión de saturación entre colector y emisor	$I_F = 20 \text{ mA}$ $I_C = 1 \text{ mA}$	De 0.1 a 0.2 V

B/III – Conversor paralelo-serie MC145026 y conversor serie-paralelo MC145027

Tabla 11. Valores absolutos máximos para el MC145026 y MC145027 [22]

Símbolo	Parámetro	Rango y unidades
V_{DD}	Tensión de alimentación	De -0.5 a 18V
V_{IN}	Tensión de entrada	De -0.5 a $V_{DD} + 0.5\text{V}$
V_{OUT}	Tensión de salida	De -0.5 a $V_{DD} + 0.5\text{V}$
I_{IN}	Corriente de entrada por cada pin	$\pm 10 \text{ mA}$
I_{OUT}	Corriente de salida por cada pin	$\pm 10 \text{ mA}$
T_{AMB}	Temperatura de trabajo	De -65 a 150°C

Tabla 12. Características del MC145026 y MC145027 para $T = 25^{\circ}\text{C}$ y $V_{cc} = 5\text{V}$ [22]

Símbolo	Parámetro	Condiciones	Rango y unidades
V_{OL}	Nivel bajo de V_{out}	$V_{IN} = V_{DD}$ ó 0	0.05 V
V_{OH}	Nivel alto de V_{out}	$V_{IN} = 0$ ó V_{DD}	4.95 V
V_{IL}	Nivel bajo de tensión de entrada	$V_{OUT} = 4.5\text{V}$ ó 0.5V	1.5 V

Símbolo	Parámetro	Condiciones	Rango y unidades
V_{IH}	Nivel alto de tensión de entrada	$V_{OUT} = 0.5V \text{ ó } 4.5V$	3.5 V
I_{OH}	Nivel alto de corriente de salida	$V_{OUT} = 4.6V$	-0.44 mA
I_{OL}	Nivel bajo de corriente de salida	$V_{OUT} = 0.5V$	1.1 mA
I_{IN}	Corriente de entrada al pin D_{in} del MC145027	$V_{DD} = 15V$	$\pm 0.3 \mu A$
I_{IN}	Corriente de entrada a los pines de dirección	Tanto para el MC145026 como para el MC145027	$\pm 110 \mu A$
I_{DD}	Corriente consumida en reposo	Para el MC145026	0.1 μA
I_{DD}	Corriente consumida en reposo	Para el MC145027	50 μA
I_{dd}	Corriente consumida en funcionamiento	Para el MC145026 $f_{osc} = 20 \text{ kHz}$	200 μA
I_{dd}	Corriente consumida en funcionamiento	Para el MC145027 $f_{osc} = 20 \text{ kHz}$	400 μA

Tabla 13. Magnitudes temporales del MC145026 y del MC145027 para $T = 25^{\circ}C$ y $V_{cc} = 5V$ [22]

Símbolo	Parámetro	Valor y unidades
t_{TLH}, t_{THL}	Tiempos de transición de la señal de salida	200 nseg
t_r	Tiempo de subida de la señal de entrada al pin D_{in}	15 μ seg
t_f	Tiempo de bajada de la señal de entrada al pin D_{in}	15 μ seg
t_w	Duración mínima del pulso de entrada al pin \overline{TE}	65 nseg

B/IV – Módulos RF de 433 MHz

Tabla 14. Condiciones de funcionamiento recomendadas para los módulos RF de 433 MHz [23]

Parámetro	Rango y unidades
Tensión de alimentación	De 3.5 a 5.5 V
Corriente consumida por el emisor	De 3 a 10 mA
Potencia de transmisión	15 mW (valor máximo)

Parámetro	Rango y unidades
Distancia de transmisión	De 40 a 100 m (teóricos)
Sensibilidad del receptor	De -116 a -114 dBm
Corriente consumida por el receptor	De 5.7 a 7.3 mA
Velocidad de transmisión	De 0.058 a 12 kBaudios
Temperatura de trabajo	De -20 a +85°C
Nivel bajo de la señal	$\frac{1}{2} V_{cc}$
Nivel alto de la señal	$0.7 V_{cc}$

Tabla 15. Características de las antenas de los módulos RF de 433 MHz [23]

Parámetro	Rango y unidades
Ganancia	2 dBi
Impedancia característica	50 Ω para 433.920 MHz
Longitud	27.5 mm
Diámetro interno	4 mm
Diámetro del cable utilizado	0.85 mm

B/V – Amplificador operacional NE5539

Tabla 16. Características del NE5539 para $V_{cc} = \pm 6V$ y $T = 25^\circ C$ [25]

Símbolo	Parámetro	Rango y unidades
$V_{CC\ MAX}$	Alimentación máxima	$\pm 12V$
T_{AMB}	Temperatura de trabajo	De 0 a 70°C
I_{CC+}	Corriente mínima de alimentación positiva	11 mA
I_{CC-}	Corriente mínima de alimentación negativa	8 mA
SR	Razón de cambio	330 V/ μ seg
CMRR	Rechazo al modo común	85 dB
Z_{in}	Impedancia de entrada	100 k Ω
Z_{out}	Impedancia de salida	10 Ω

B/VI – Seguidor lógico 74HC4050

Tabla 17. Valores absolutos máximos para el 74HC4050 [32]

Símbolo	Parámetro	Condiciones	Rango y unidades
V_{CC}	Tensión de alimentación		De -0.5 a +7V
V_{IK}	Tensión de entrada tolerable		De -0.5 a +16V
I_{CC}	Corriente de alimentación		+ 50 mA (valor máximo)
I_O	Corriente de salida	Para $V_O = -0.5V$ hasta $V_{CC} + 0.5V$	± 25 mA
I_{IK}	Corriente de entrada tolerable	Para $V_I < -0.5V$	-20 mA (valor mínimo)
I_{OK}	Corriente de salida tolerable	De $V_O = -0.5V$ a $V_{CC} + 0.5V$	± 20 mA
T_{AMB}	Temperatura de trabajo		De -65 a 150°C

Tabla 18. Condiciones de funcionamiento recomendadas para el 74HC4050 [32]

Símbolo	Parámetro	Rango y unidades
V_{CC}	Tensión de alimentación	De +2 a +6V
V_I	Tensión de entrada	De 0 a +15V
V_O	Tensión de salida	De 0 a V_{CC} V
T_{AMB}	Temperatura de trabajo	De -40 a +125°C

Tabla 19. Tensiones máximas de entrada y de salida del 74HC4050 [32]

V_{CC}	V_{OH} (nivel alto de tensión de salida)	V_{OL} (nivel bajo de tensión de salida)	V_{IH} (nivel alto de tensión de entrada)	V_{IL} (nivel bajo de tensión de entrada)
4.5 V	4.5 V para $I_O = -20 \mu A$	0.1 V para $I_O = 20 \mu A$ y 0.26 V para $I_O = 4$ mA	≥ 2.4 V	≤ 1.8 V

En lo referente a las tensiones máximas de entrada y salida, el fabricante no proporciona datos para una alimentación de 5V, por lo que se ha utilizado un valor lo más cercano posible. En este caso 4.5V.

Se tiene una corriente de fuga a la entrada de $\pm 0.1 \mu\text{A}$ para una tensión de entrada $V_I = V_{CC}$ ó $V_I = 0\text{V}$ siendo $V_{CC} = 6\text{V}$. En cuanto a la corriente máxima de alimentación que el integrado puede requerir para funcionar, dicho valor es de $2 \mu\text{A}$ máximo si $V_{CC} = 6\text{V}$, $V_I = 15\text{V}$ o 0V y la corriente de salida I_O es nula. El retardo de propagación del integrado es de 7 nseg y este es el único dato calculado con 5V de alimentación [32].

B/VII – Inversor lógico SN74LS04

Tabla 20. Condiciones de funcionamiento recomendadas para el SN74LS04 [33]

Símbolo	Parámetro	Condiciones	Rango y unidades
V_{CC}	Tensión de alimentación		De 4.75 a 5.25V
V_{IH}	Nivel alto de tensión de entrada		2V
V_{IL}	Nivel bajo de tensión de entrada		0.8V
I_{OH}	Nivel alto de corriente de salida		-0.4 mA
I_{OL}	Nivel bajo de corriente de salida		8 mA
T_{AMB}	Temperatura de trabajo		De 0 a +70°C
V_{IK}	Tensión de entrada tolerable	$V_{CC} = 4.75\text{V}$ $I_I = -18 \text{ mA}$	-1.5V
V_{OH}	Nivel alto de tensión de salida	$V_{CC} = 4.75\text{V}$ $V_{IL} = 0.8\text{V}$ $I_{OH} = -0.4 \text{ mA}$	De 2.7 a 3.4V
V_{OL}	Nivel bajo de tensión de salida	$V_{CC} = 4.75\text{V}$ $V_{IH} = 2\text{V}$ $I_{OL} = 8 \text{ mA}$	De 0.25 a 0.5V
I_{IH}	Nivel alto de corriente de entrada	$V_{CC} = 5.25\text{V}$ $V_I = 2.7\text{V}$	20 μA
I_{IL}	Nivel bajo de corriente de entrada	$V_{CC} = 5.25\text{V}$ $V_I = 0.4\text{V}$	-0.4 mA

Tabla 21. Magnitudes temporales del SN74LS04 [33]

Parámetro	Condiciones	Valor y unidades
t_{PLH}	$R_L = 2 \text{ k}\Omega$	9 nseg
t_{PHL}	$R_L = 2 \text{ k}\Omega$	10 nseg

B/VIII – Conmutador electrónico DG403DJ

Tabla 22. Condiciones de funcionamiento recomendadas para el DG403DJ [34]

Símbolo	Parámetro	Rango y unidades
V_{CC}	Tensión de alimentación	44 V entre V^- y V^+
V_L	Alimentación lógica	De -0.3V a $(V^+) + 0.3V$
V_S, V_D	Entradas digitales	De $(V^-) - 2V$ a $(V^+) + 2V$
I_{CC}	Corriente de alimentación	30 mA (máximo)
T_{AMB}	Temperatura de trabajo	De -65 a 125°C

Tabla 23. Condiciones de funcionamiento del DG403DJ para $T = 25^\circ C$ [34]

Símbolo	Parámetro	Condiciones	Rango y unidades
$I_{S\ MAX}$ $I_{D\ MAX}$	Corriente máxima en el drenador y en la fuente	$Duty\ cycle = 10\%$ $T = 1\ msec$	100 mA
V_{ANALOG}	Rango de la señal analógica	$V^+ = 15\ V$ $V^- = -15\ V$ $V_L = 5\ V$	De -15 a +15V
$R_{DS\ (on)}$	Resistencia del conmutador en circuito cerrado	$I_S = -10\ mA$ $V_D = \pm 10\ V$ $V^+ = 13.5\ V$ $V^- = -13.5\ V$	30 Ω
$I_{S\ (off)}$	Corriente de fuga del pin fuente en circuito abierto	$V^+ = 16.5\ V$ $V^- = -16.5\ V$ $V_D = \pm 15.5\ V$ $V_S = \pm 15.5\ V$	-0.01 nA
$I_{D\ (off)}$	Corriente de fuga del pin drenaje en circuito abierto	$V^+ = 16.5\ V$ $V^- = -16.5\ V$ $V_D = \pm 15.5\ V$ $V_S = \pm 15.5\ V$	-0.01 nA
$I_{D\ (on)}$	Corriente de fuga de drenaje en circuito cerrado	$V^+ = 16.5\ V$ $V^- = -16.5\ V$ $V_D = \pm 15.5\ V$ $V_S = \pm 15.5\ V$	-0.04 nA

Tabla 24. Corrientes de entrada máximas y mínimas del DG403DJ [34]

Símbolo	Parámetro	Condiciones	Valor y unidades
I_{IL}	Nivel bajo de la corriente de entrada	$V_{IN} = 0.8 \text{ V}$	$0.005 \mu\text{A}$
I_{IH}	Nivel alto de la corriente de entrada	$V_{IN} = 2.4 \text{ V}$	$0.005 \mu\text{A}$

Tabla 25. Magnitudes temporales del DG403DJ [34]

Símbolo	Parámetro	Condiciones	Valor y unidades
t_{ON}	Retardo de puesta en cortocircuito	$R_L = 300 \Omega$	75 nseg
t_{OFF}	Retardo de puesta en circuito abierto	$R_L = 300 \Omega$	30 nseg
t_D	Retardo de propagación	$R_L = 300 \Omega$	35 nseg

Tabla 26. Corrientes de alimentación mínimas del DG403DJ [34]

Símbolo	Parámetro	Condiciones	Valor y unidades
I_+	Corriente de alimentación positiva	$V^+ = 16.5 \text{ V}$ $V^- = -16.5 \text{ V}$ $V_I = 0 \text{ ó } 5 \text{ V}$	$0.01 \mu\text{A}$
I_-	Corriente de alimentación negativa	$V^+ = 16.5 \text{ V}$ $V^- = -16.5 \text{ V}$ $V_I = 0 \text{ ó } 5 \text{ V}$	$-0.01 \mu\text{A}$
I_L	Corriente de alimentación lógica	$V^+ = 16.5 \text{ V}$ $V^- = -16.5 \text{ V}$ $V_I = 0 \text{ ó } 5 \text{ V}$	$0.01 \mu\text{A}$

B/IX – Amplificador operacional OP90

Tabla 27. Especificaciones del OP90 para $T = 25^\circ\text{C}$ [30]

Símbolo	Parámetro	Rango y unidades
V_{CC}	Tensión de alimentación	De 1.6 a 36V y de ± 0.8 a $\pm 18\text{V}$
I_{CC}	Corriente de alimentación	De 9 a $15 \mu\text{A}$ ($V_{CC} = \pm 1.5\text{V}$) De 14 a $20 \mu\text{A}$ ($V_{CC} = \pm 15\text{V}$)
IVR	Rango de tensiones de entrada	$V_{IN}^+ = 5\text{V}$ $V_{IN}^- = 0\text{V}$ $V_{CC} = \pm 15\text{V}$

Símbolo	Parámetro	Rango y unidades
V_O	Rango de tensiones de salida	$V_{CC} = \pm 15V$ $R_L = 10\text{ k}\Omega$
V_O	Rango de tensiones de salida	$V_{CC} = \pm 15V$ $R_L = 2\text{ k}\Omega$
V_{OH}	Nivel alto de tensión de salida	$V_{CC} = \pm 15V$ $V_{IN}^+ = 5V$ $V_{IN}^- = 0V$ $R_L = 2\text{ k}\Omega$
V_{OL}	Nivel bajo de tensión de salida	$V_{CC} = \pm 15V$ $V_{IN}^+ = 5V$ $V_{IN}^- = 0V$ $R_L = 10\text{ k}\Omega$
SR (<i>slew rate</i>)	Razón de cambio	$V_{CC} = \pm 15V$

B/X – Bucle de enganche de fase NE568A

Tabla 28. Condiciones de funcionamiento recomendadas para el NE568A [35]

Símbolo	Parámetro	Rango y unidades
V_{CC}	Tensión de alimentación	De 4.5 a 5.5 V
I_{CC}	Corriente consumida	De 54 a 70 mA
T_{AMB}	Temperatura de trabajo	De -65 a 150°C
$P_{D\text{ MAX}}$	Potencia disipada máxima	400 mW

Tabla 29. Condiciones recomendadas para el NE568A como modulador [35]

Símbolo	Parámetro	Condiciones	Rango y unidades
f_{osc}	Máxima frecuencia de la portadora		140 MHz
V_{in}	Nivel de señal de entrada al pin 17		De 50 a 400 mV _{p-p}
BW	Ancho de banda de la señal moduladora		$f_{osc} / 7$ (MHz)
	No linealidad	BW = 20 MHz $V_{in} = 50\text{ Mv}_{p-p}$	De 1.0 al 4.0 %

El nivel de señal de entrada al pin 17 hace alusión a los valores de salida del circuito de polarización. Sabiendo que el nivel de tensión directa por defecto es de 4.8 V, el margen de maniobra del nivel de salida es de 200 mV para los dos sentidos del eje de amplitud, por lo que se tiene un máximo de 400 mV_{p-p} si se inyecta una señal que presenta ambos semiciclos [36].

Gráfica 4. V_{out} del modulador en función de la frecuencia de trabajo [36]

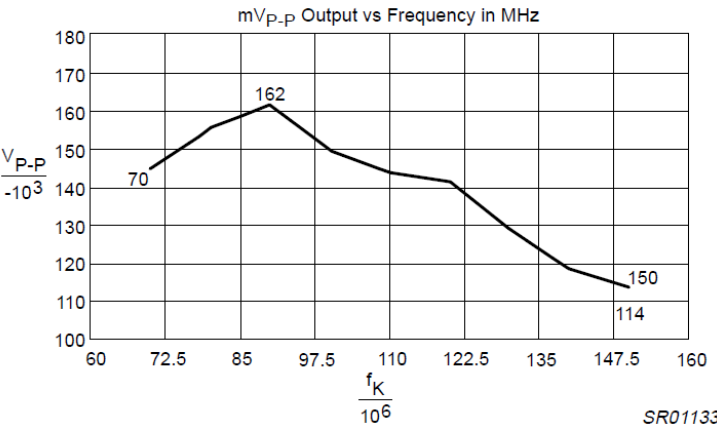


Tabla 30. Condiciones recomendadas para el NE568A como demodulador [35]

Símbolo	Parámetro	Condiciones	Rango y unidades
f_{osc}	Máxima frecuencia de la portadora		140 MHz
V_{in}	Nivel de señal de entrada		De 50 a 2000 mV _{p-p}
P_{in}	Potencia de entrada		De -20 a 10 dBm
BW	Ancho de banda demodulado		$f_o / 7$ (Hz)
	No linealidad	$V_{in} = 50$ mV _{p-p}	De 1.0 a 4.0 %
	Margen de enganche	$V_{in} = 50$ mV _{p-p}	De ± 25 a ± 35 % de f_o
	Margen de captura	$V_{in} = 50$ mV _{p-p}	De ± 20 a ± 30 % de f_o
R_{in}	Impedancia de entrada		1 k Ω
R_{out}	Impedancia de salida		6 Ω
V_{out}	Nivel de señal de salida		De 0.40 a 0.52 V _p

B/XI – Antena de transmisión/recepción DX-RX-795

Tabla 31. Características de la antena DX-RH-795 [37]

Parámetro	Rango y unidades
Tipo de antena	$\frac{1}{4} \lambda$

Parámetro	Rango y unidades
Rango de frecuencias	De 70 a 300 MHz
Ganancia	2.15 dBi
Potencia máxima de transmisión	10 W
Impedancia característica	50 Ω
Longitud máxima	1100 mm
Longitud mínima (antena recogida)	150 mm

ANEXO C: Fotografías de los circuitos

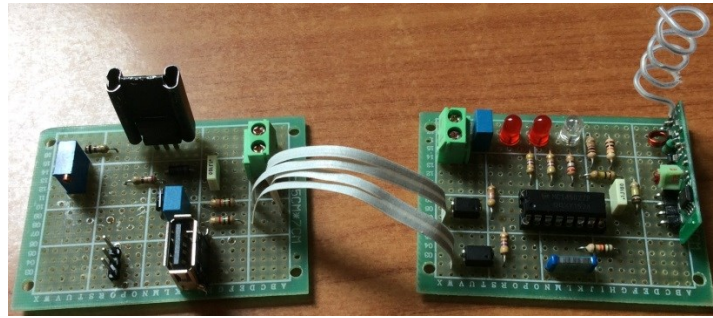


Figura 70. Selector de velocidad [EP]

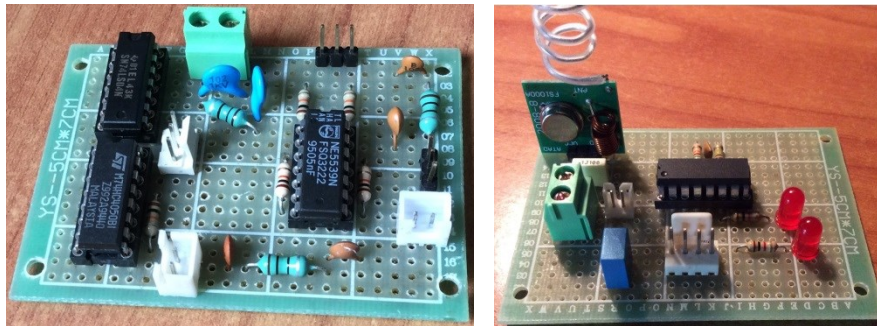


Figura 71. Conversores S/E – dif y dif – S/E (derecha) y detector de velocidad (izquierda) [EP]

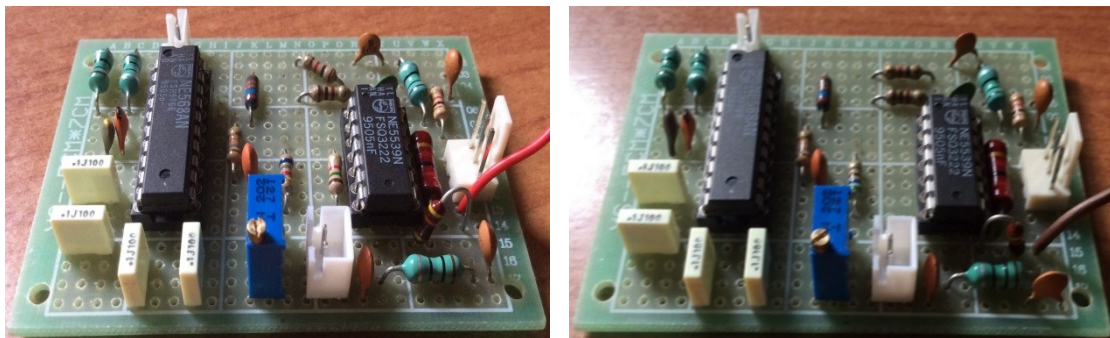


Figura 72. Modulador de 118 MHz (derecha) y modulador de 138 MHz (izquierda) [EP]

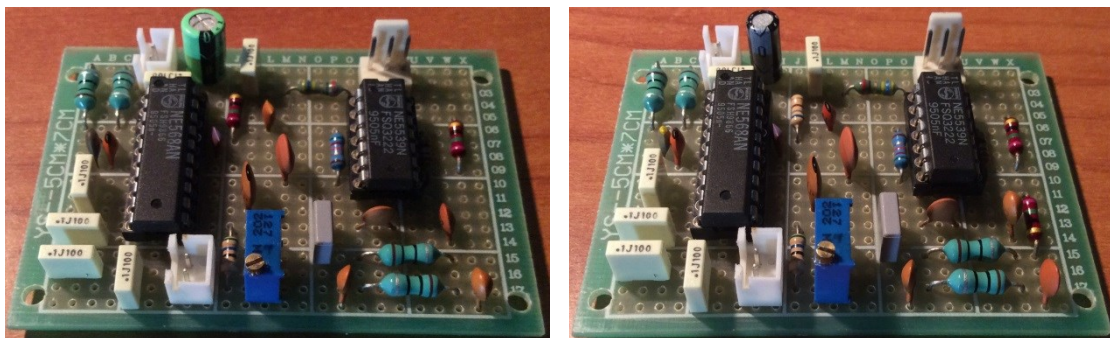


Figura 73. Demodulador de 118 MHz (derecha) y demodulador de 138 MHz (izquierda) [EP]

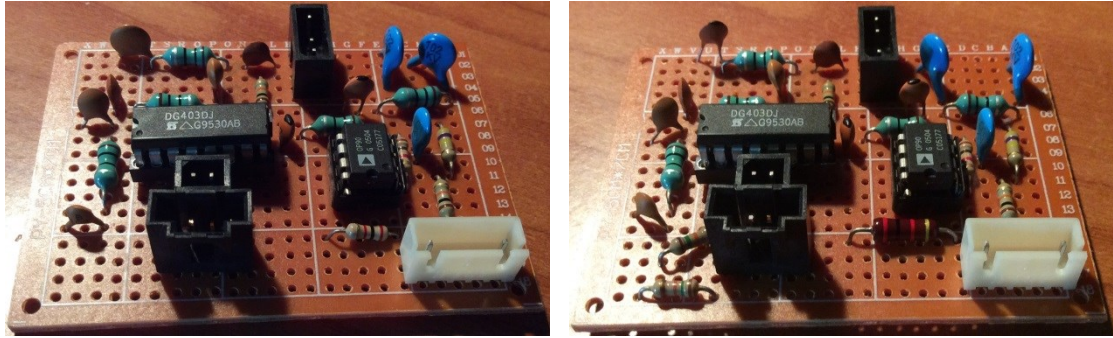


Figura 74. Conmutador del transceptor local (derecha) y conmutador del transceptor remoto (izquierda) [EP]

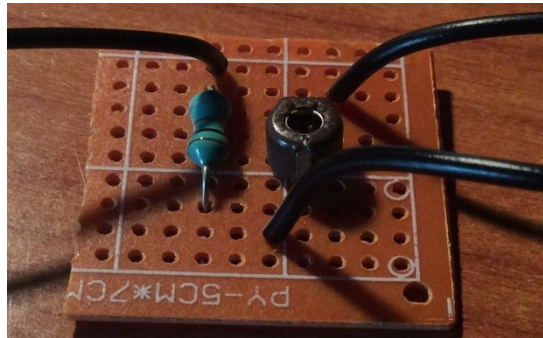


Figura 75. Módulo RF [EP]

NOTA: Las fotografías de algunos circuitos han sido omitidas por ser iguales en los dos transceptores. Tal es el caso de los conversores de señal diferencial a ‘single-ended’ y de señal ‘single-ended’ a diferencial. Por otro lado, los circuitos de polarización de ambos moduladores se montaron en una placa protoboard en el momento de realizarse la prueba de funcionamiento del sistema, por falta de material.

BIBLIOGRAFÍA

- [1] S. I. Torres Rodríguez, “USB – Bus Serial Universal”, *Universal Serial Bus*, 27-09-2015. [En línea]. Disponible en:
http://www.iuma.ulpgc.es/~avega/int_equipos/trab9899/usb_1/index.html
- [2] *Device Class Definition for Human Interface Devices (HID)*, Universal Serial Bus Revision 1.11-2001. [En línea]. Disponible en:
http://www.usb.org/developers/hidpage/HID1_11.pdf
- [3] A. López Barragán, “Puertos USB – Bus Serie Universal y descripción de la norma IEEE 1394”, *Sistemas de regulación y control automáticos*, 27-02-2003. [En línea]. Disponible en:
http://platea.pntic.mec.es/~alopez1/web_Eldad/_gs_srca/CI/Puertos%20USB.pdf
- [4] A. Sengupta, “Introduction to USB Power Delivery”, *Electronic Design*, 14-01-2016. [En línea]. Disponible en:
<http://www.electronicdesign.com/interconnects/introduction-usb-power-delivery>
- [5] D. Stone, “What is the difference between powered & non-powered USB hubs?”, *Business Technology & Customer Support*, 22-07-2013. [En línea]. Disponible en:
<http://smallbusiness.chron.com/difference-between-powered-nonpowered-usb-hubs-71272.html>
- [6] MQP Electronics LTD, “A series of articles on USB”, *USB Made Simple*, 23-10-2007. [En línea]. Disponible en: <http://www.usbmadesimple.co.uk/index.html>
- [7] P. Martín Gómez, “USB”, *Curso ‘Protocolos de comunicación en sistemas embebidos’*, 10-09-2013. [En línea]. Disponible en:
<http://www.sase.com.ar/2013/files/2013/09/SASE2013-USB-P-Gomez.pdf>
- [8] *Universal Serial Bus Specification*, Universal Serial Bus Revision 1.1-1998. [En línea]. Disponible en: <http://esd.cs.ucr.edu/webres/usb11.pdf>
- [9] *Universal Serial Bus Specification*, Universal Serial Bus Revision 2.0-2000. [En línea]. Disponible en: http://sdphca.ucsd.edu/lab_equip_manuals/usb_20.pdf
- [10] *On-The-Go Supplement to the USB 2.0 Specification*, Universal Serial Bus Revision 1.0-2001. [En línea]. Disponible en:
http://www.usb.org/developers/onthego/otg1_0.pdf
- [11] *Universal Serial Bus 3.0 Specification*, Universal Serial Bus Revision 1.0-2008. [En línea]. Disponible en:
[https://www.usb3.com/whitepapers/USB%203%200%20\(11132008\)-final.pdf](https://www.usb3.com/whitepapers/USB%203%200%20(11132008)-final.pdf)
- [12] S. Fuentes, “USB 3.0, a fondo”, *Gadgets y tecnología: últimas tecnologías en electrónica de consumo*, 19-08-2008. [En línea]. Disponible en:
<https://www.xataka.com/perifericos/usb-30-a-fondo>

- [13] *Universal Serial Bus 3.1 Specification*, Universal Serial Bus Revision 1.0-2013. [En línea]. Disponible en: https://manuais.iessanclemente.net/images/b/bc/USB_3_1_r1.0.pdf
- [14] IDS Imaging Development Systems GmbH, “Siga conectado con USB 3.1”, *Libro blanco USB 3.1*, 31-01-2017. [En línea]. Disponible en: https://es.ids-imaging.com/tl_files/downloads/whitepaper/ids-usb31-stay-connected-whitepaper_ES.pdf
- [15] *Wireless Universal Serial Bus Specification*, Universal Serial Bus Revision 1.0-2005. [En línea]. Disponible en: http://www.usb.org/wusb/docs/WirelessUSBSpecification_r10.pdf
- [16] *Wireless USB Documents*, Wireless USB Specification Revision 1.1-2010. [En línea]. Disponible en: <http://www.usb.org/developers/wusb/docs>
- [17] Y. F. Romero, “Interfaz USB”, *Revista telemática*, 14-04-2008. [En línea]. Disponible en: <http://www.revistatelematica.cujae.edu.cu/index.php/tele/article/download/50/49>
- [18] A. Rendón Gallón, “Modo de transferencia asíncrona (ATM), Material de docencia, Departamento de Telemática, Universidad del Cauca, Popayán, Colombia, 2013. [En línea]. Disponible en: <http://dtm.unicauca.edu.co/pregrado/conmutacion/transp/7-ATM.pdf>
- [19] C. Pinkle, “The why and how of differential Signalling”, *All about circuits*, 16-11-2016. [En línea]. Disponible en: <https://www.allaboutcircuits.com/technical-articles/the-why-and-how-of-differential-signaling/>
- [20] *LM317 3-Terminal Adjustable Regulator*, Texas Instruments Incorporated SLVS044X-1997. [En línea]. Disponible en: <http://www.ti.com/lit/ds/symlink/lm317.pdf>
- [21] *PC-817 DIP 4pin General Purpose Photocoupler*, SHARP Corporation D2-A03101EN-2003. [En línea]. Disponible en: <http://www.farnell.com/datasheets/73758.pdf>
- [22] *MC145026 MC145027 MC145028 Encoder and Decoder Pairs CMOS*, Motorola Inc. MC145026/D-1998. [En línea]. Disponible en: <http://www.adrirobot.it/datasheet/integrati/pdf/MC145026.pdf>
- [23] *433MHz Simple RF link kit User Manual*, Seeed studio Version 1.0-2015. [En línea]. Disponible en: https://www.mouser.com/catalog/specsheets/Seeed_113060000.pdf

- [24] *Notas de utilización nacional (UN)*, Secretaría de Estado para la Sociedad de la Información y la Agenda Digital, Ministerio de energía, turismo y agenda digital CNAF-2017. [En línea]. Disponible en: <http://www.minetad.gob.es/telecomunicaciones/espectro/CNAF/notas-UN-2017.pdf>
- [25] *High frequency operational amplifier NE/SE5539*, Phillips Semiconductors RF Communications Products 853-0814 06456-1992. [En línea]. Disponible en: <http://rtellason.com/chipdata/ne5539.pdf>
- [26] F.V. Fernández, “Amplificadores operacionales”, Material de docencia, Dpto. de Electrónica y Electromagnetismo, Escuela Superior de Informática, Sevilla, España, 2003. [En línea]. Disponible en: http://www2.imse-cnm.csic.es/elec_esi/assignat/ASC/pdf/Apendice1.pdf
- [27] D. Conchas, “Señal digital, características, frecuencia, ciclo de trabajo”, *Hetpro*, 05-04-2015. [En línea]. Disponible en: <https://hetpro-store.com/TUTORIALES/senal-digital/>
- [28] J.M. Vega Francos, “Relación entre ancho de banda y tiempo de subida de una señal”, *Reflexiones de un Ingeniero*, 06-06-2014. [En línea]. Disponible en: <http://maladiets.blogspot.com.es/2014/06/relacion-entre-ancho-de-banda-y-tiempo-de-subida.html>
- [29] L. J. Morales Mendoza, “Teorema del muestreo”, Material de docencia, Dpto. de Maestría, Universidad de Guanajuato, Guanajuato, México, 2016. [En línea]. Disponible en: <http://www.dicis.ugto.mx/profesores/ljavier/documentos/lec01%20-%20teorema%20de%20muestreo.pdf>
- [30] *Precision Low-Voltage Micropower Operational Amplifier OP90*, Analog Devices, Inc. REV. C-2011. [En línea]. Disponible en: <http://www.analog.com/media/en/technical-documentation/data-sheets/OP90.pdf>
- [31] I. Moreno Velasco, “Filtrado”, Material de docencia, Área de Tecnología Electrónica, Universidad de Burgos, Burgos, España, 2009. [En línea]. Disponible en: <http://www.unet.edu.ve/~ielectro/6-Filtrado.pdf>
- [32] *High-Speed CMOS Logic Hex Buffers, Inverting and Non-Inverting CD54HC4049, CD74HC4049, CD54HC4050, CD74HC4050*, Texas Instruments Incorporated SCHS205I-1998. [En línea]. Disponible en: <http://www.hobbytronics.co.uk/datasheets/74HC4050.pdf>
- [33] *HEX Inverters SH5404, SN54LS04, SN54S04, SN7404, SN74LS04, SN74S04*, Texas Instruments Incorporated SDLS029C-1983. [En línea]. Disponible en: <https://www.ti.com/lit/ds/symlink/sn74ls04.pdf>

- [34] *Low-Power, High-Speed CMOS Analog Switches DG401, DG403, DG405*, Vishay Intertechnology, Inc. S09-2561-Rev.1-2009. [En línea]. Disponible en: <https://www.vishay.com/docs/70049/dg401.pdf>
- [35] *150Mhz phase-locked loop NE568A*, Phillips Semiconductors 853-1558 16328-1996. [En línea]. Disponible en: https://www.digchip.com/datasheets/download_datasheet.php?id=706781&part-number=NE568A
- [36] *The NE568A as a wideband FM modulator*, Phillips Semiconductors AN1882-1996. [En línea]. Disponible en: <http://noel.feld.cvut.cz/hw/philips/acrobat/8213.pdf>
- [37] *Antenas y accesorios radioafición*, Falcon Radio & A.S., S.L.-2009. [En línea]. Disponible en: https://www.radioamatore.info/attachments/661_Catalogo_antenas_D-ORIGINAL_web.pdf
- [38] A. L. Cucueff, “Circuito oscilante libre”, Material de docencia, Dpto. de ingeniería electromecánica, Universidad Nacional del Nordeste, Corrientes, Argentina, 2007. [En línea]. Disponible en: <http://ing.unne.edu.ar/pub/electryelec/tcircuitos/au2.pdf>
- [39] F. Carrasco, “Análisis de las formas de onda en C.A.”, Trabajo de investigación, Dpto. de ingeniería electrónica, Universidad Técnica de Ambato, Ambato, Ecuador, 2015. [En línea]. Disponible en: <https://es.slideshare.net/fernandocarrasco92/valores-eficaces>
- [40] M. Calvo Ramón, R. Martínez Rodríguez-Osorio, “Balance de enlace”, Material de docencia, Dpto. de Señales, Sistemas y Radiocomunicaciones, Universidad Politécnica de Madrid, Madrid, España, 2008. [En línea]. Disponible en: http://www.gr.ssr.upm.es/docencia/grado/csat/material/CSA08-4BalanceEnlace1_2p.pdf
- [41] D. Laverne O’Neal, “Cómo calcular la depreciación”, *Cuida tu dinero*, 01-02-2018. [En línea]. Disponible en: <https://www.cuidatudinero.com/13126008/como-calcular-la-depreciacion>

NOTA: Todos los enlaces han sido verificados el día 24 de marzo del 2018.